Chapitre 4

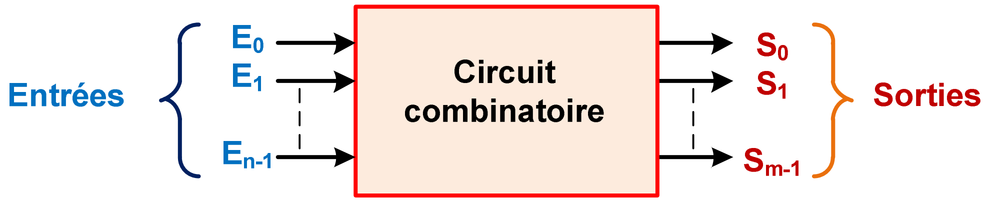
Les circuits Combinatoires

Objectifs :

- ✓ Connaitre la méthode d’étude d’un circuit combinatoire
- ✓ Etudier les principaux circuits combinatoire..
- ✓ Apprendre à réaliser les fonctions d’un circuit combinatoire.

1. Introduction :

On appelle circuit ou système combinatoire tout système numérique dont les sorties sont définies uniquement à partir des variables d'entrée.



Les circuits combinatoires sont établis à partir d'une opération appelée synthèse combinatoire qui consiste à :

- Traduire le cahier des charges décrivant le fonctionnement du système en une table de vérité.
- Déduire les équations des différentes sorties en fonctions des variables d'entrée.
- Simplifier ces équations.
- Etablir le schéma de réalisation (logigramme) correspondant.

Dans la suite de cette leçon nous allons étudier quelques circuits combinatoires couramment utilisés.

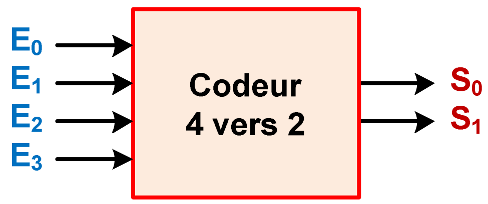
2. Les codeurs, décodeurs et transcodeurs :

2.1 Les codeurs

Le codeur est un circuit à **n** entrées dont une seulement est active (égale à 1) et qui délivre sur **m** sorties (en code binaire ou autre) le numéro (le code) de l'entrée.$\mathbf{n \le 2^m}$

Exemple : codeur 4 vers 2

Ce codeur possède 4 entrées et 2 sorties. Une seule entrée doit être activée à la fois (par un état haut). On retrouve alors en sortie, en binaire, le numéro de l'entrée active entre 0 et 3.



- **Table de vérité** du codeur 4 vers 2 :

Entrées				Sorties	
E_3	E_2	E_1	E_0	S_1	S_0
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

On peut établir la table de vérité d'une façon plus simple :

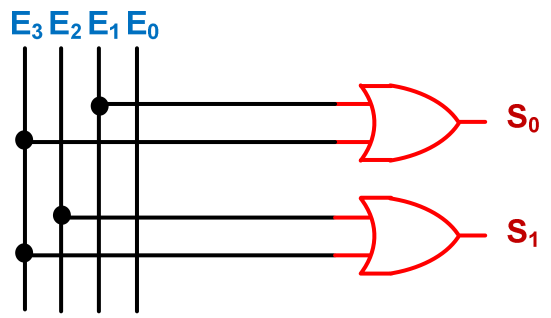
Entrée active	Sorties	
	S_1	S_0
E_0	0	0
E_1	0	1
E_2	1	0
E_3	1	1

- **Equations logiques des sorties :**

$S_0 = E_1 + E_3$

$S_1 = E_2 + E_3$

- **Logigramme :**



2.2 Les décodeurs

Le décodeur réalise la fonction inverse d'un codeur. C'est un circuit à **n** entrées qui permet de sélectionner une sortie parmi **m** (avec $m \leq 2^n$). La sortie sélectionnée est celle dont l'indice correspond au code binaire appliqué sur les entrées.

Exemple : décodeur 2 vers 4

Ce décodeur possède 2 entrées et 4 sorties. Une seule sortie est activée à la fois (par un état haut) : celle dont l'indice (entre 0 et 3) correspond au nombre (sur 2 bits) appliqué en binaire sur les entrées.

- **Table de vérité** du décodeur 2 vers 4 :

Entrées		Sorties			
E_1	E_0	S_3	S_2	S_1	S_0
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

On peut établir la table de vérité d'une façon plus simple :

Entrées		Sortie active
E_1	E_0	
0	0	S_0
0	1	S_1
1	0	S_2
1	1	S_3

- **Equations logiques des sorties :**

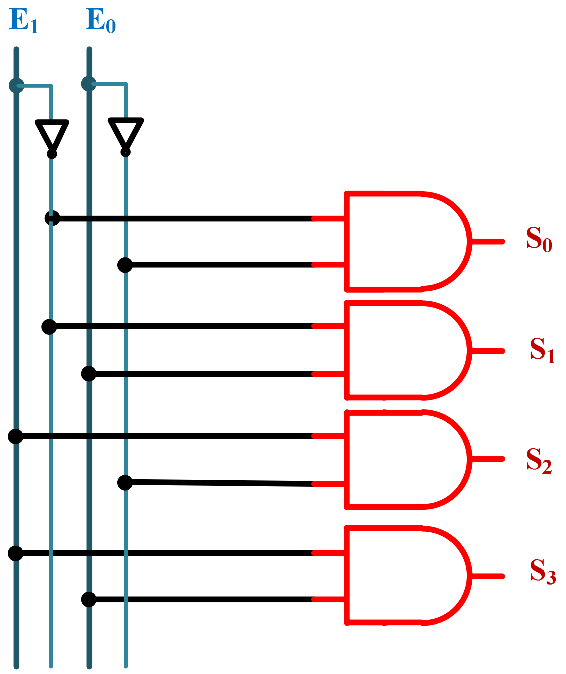
$S_0 = \bar{E}_1\bar{E}_0$

$S_1 = \bar{E}_1 E_0$

$S_2 = E_1\bar{E}_0$

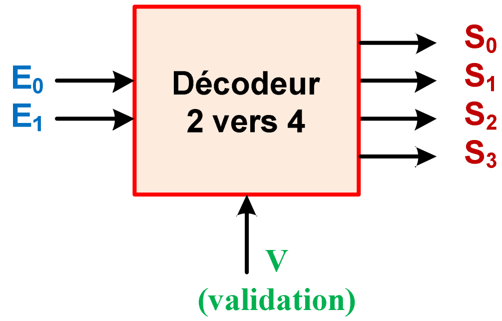
$S_3 = E_1 E_0$

- **Logigramme :**



- **Remarque :**

On peut ajouter une entrée supplémentaire dite entrée de validation (V) pour pouvoir associer plusieurs décodeurs ensembles.

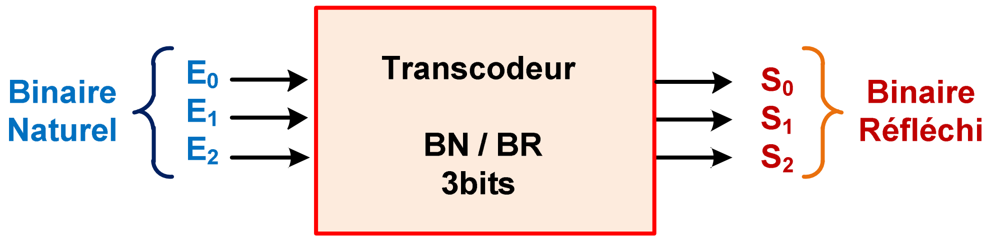


✓ Si V=0 le décodeur ne fonctionne pas.
✓ Si V=1 le décodeur fonctionne normalement.

2.3 Les transcodeurs

Un transcodeur (ou convertisseur de codes) est un dispositif permettant de convertir une information écrite d'un code C_1 vers un code C_2.

<u>Exemple</u>: transcodeur binaire naturel/binaire réfléchi 3bits



- **Table de vérité**

E_2	E_1	E_0	S_2	S_1	S_0
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

- **Equations logiques des sorties**

E_2 \ E_1E_0	00	01	11	10
0	0	1	0	1
1	0	1	0	1

S_0

$$S_0 = \bar{E}_1 E_0 + E_1 \bar{E}_0$$

$$S_0 = E_1 \oplus E_0$$

E_2 \ E_1E_0	00	01	11	10
0	0	0	1	1
1	1	1	0	0

S_1

$$S_1 = \bar{E}_2 E_1 + E_2 \bar{E}_1$$

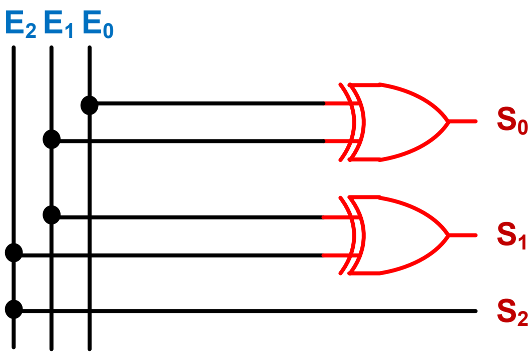
$$S_1 = E_2 \oplus E_1$$

E_2 \ E_1E_0	00	01	11	10
0	0	0	0	0
1	1	1	1	1

S_2

$$S_2 = E_2$$

- **Logigramme :**

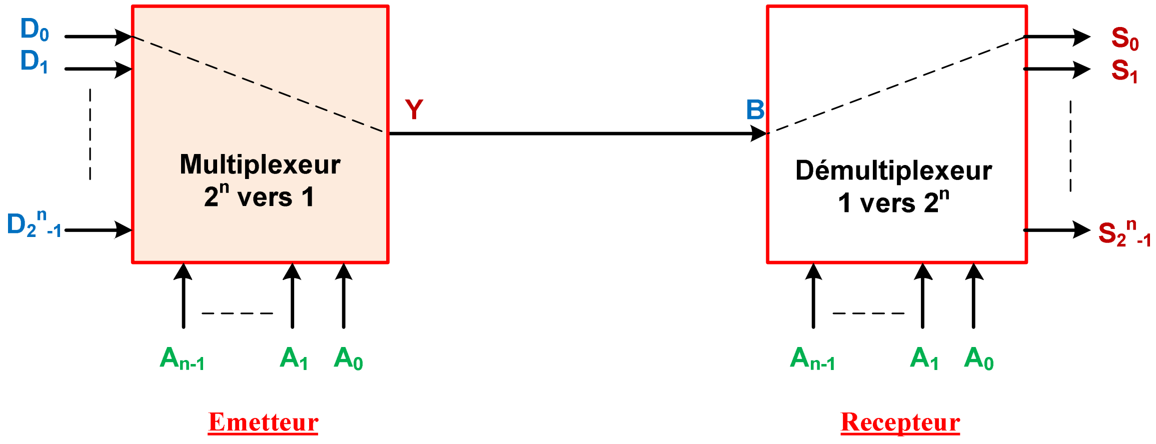


Parmi les transcodeurs que l'on trouve en circuits intégrés, on peut citer :

- ✓ le transcodeur décimal / DCB (circuit 74147).
- ✓ le transcodeur DCB / décimal (circuits 7442, 7445, et 4028).
- ✓ le transcodeur Gray excédant 3 (code Gray+3) / décimal (circuit 7444).
- ✓ le transcodeur DCB / afficheur 7 segments (circuits 7448, 7511, 4543, 4511).
- ✓ le transcodeur binaire 5 bits / DCB (circuit 74185).
- ✓ le transcodeur DCB / binaire 5 bits (circuit 74184).

3. Les multiplexeurs et les démultiplexeurs :

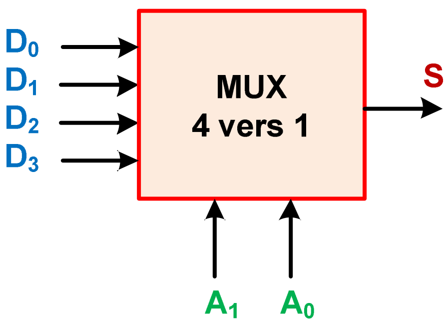
Si on veut transmettre des informations en parallèle, il faut autant de lignes que d'informations. Pour simplifier la transmission (la rendre plus économique) surtout lorsque l'émetteur et le récepteur sont éloignés l'un de l'autre on effectue une conversion parallèle/série (multiplexage) à l'émission et une conversion série/parallèle (démultiplexage) à la réception.



3.1 Les multiplexeurs

Un multiplexeur (MUX) est un circuit combinatoire qui possède $\mathbf{2^n}$ entrées de données ($\mathbf{D_0}$, $\mathbf{D_1}$,…., $\mathbf{D_{2^n-1}}$) ,**n** entrées ($\mathbf{A_0}$, $\mathbf{A_1}$,…., $\mathbf{A_{n-1}}$) appelées entrées de sélection ou d'adresse et une seule sortie (**S**). Il permet d'effectuer l'aiguillage de l'une des entrées vers la sortie en fonction de l'adresse appliquée sur les entrées de sélection.

<u>Exemple</u> : Multiplexeur 4 vers 1



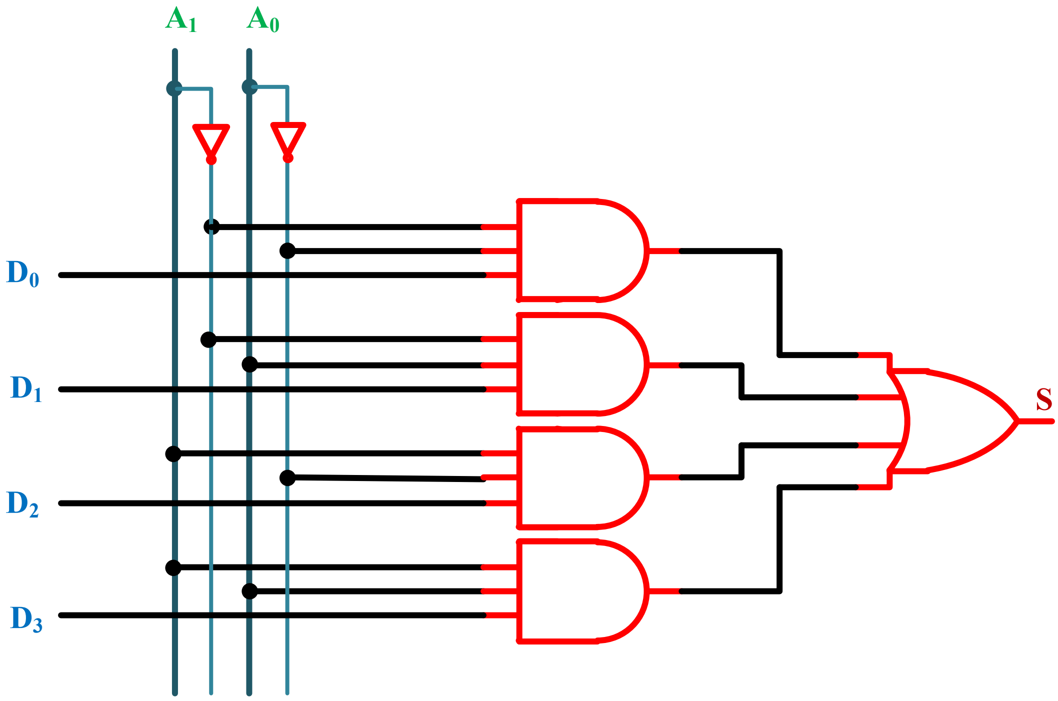
- **Table de vérité**

A_1	A_0	S
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

- **Equation logique de la sortie :**

$$S = D_0\bar{A}_1\bar{A}_0 + D_1\bar{A}_1A_0 + D_2A_1\bar{A}_0 + D_3A_1A_0$$

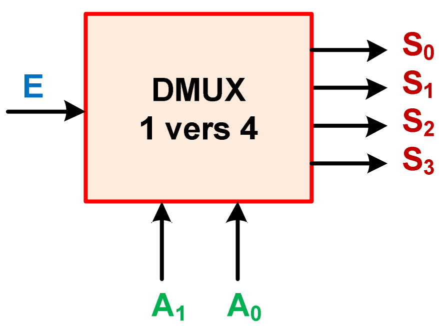
- **Logigramme :**



3.2 Les démultiplexeurs

Un démultiplexeur (DMUX) est un circuit combinatoire qui possède une seule entrée de données (**S**) ,**n** entrées de sélection (**A_0, A_1**,…., **A_{n-1}**) et **2^n**sorties (**S_0, S_1**,…., **S_{2^n-1}**). Il permet d'effectuer l'aiguillage de l'entrée vers l'une des sorties en fonction de l'adresse appliquée sur les entrées de sélection.

<u>Exemple</u> : Démultiplexeur1 vers 4



- **Table de vérité :**

A_1	A_0	S_3	S_2	S_1	S_0
0	0	0	0	0	E
0	1	0	0	E	0
1	0	0	E	0	0
1	1	E	0	0	0

- **Equations logiques des sorties :**

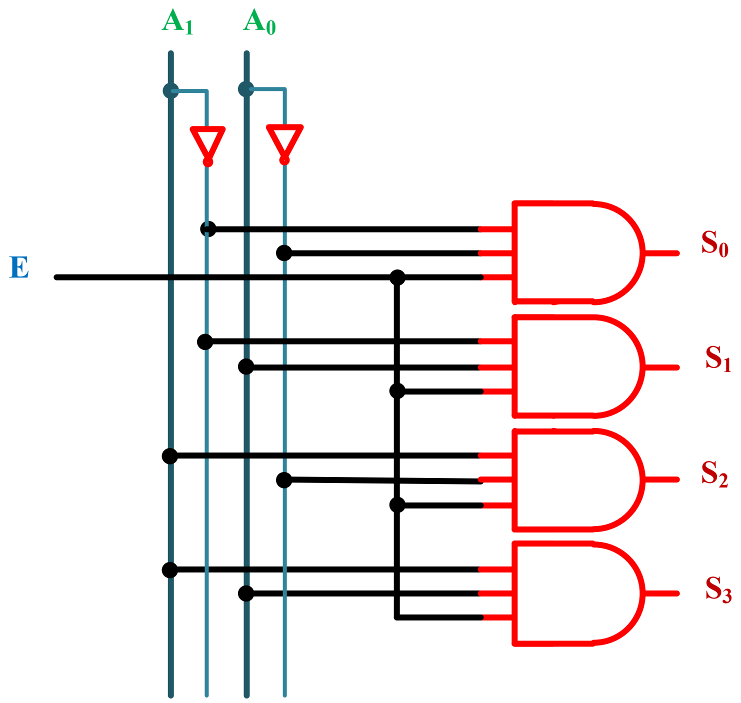
$$S_0 = E\,\bar{A}_1\bar{A}_0$$

$$S_1 = E\,\bar{A}_1 A_0$$

$$S_2 = E\,A_1\bar{A}_0$$

$$S_3 = E\,A_1 A_0$$

- **Logigramme :**

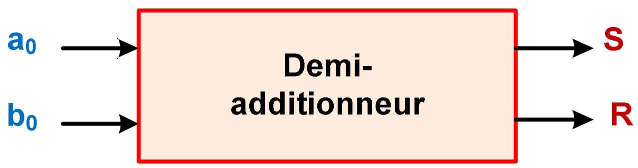


4. Les additionneurs :

Il s'agit d'effectuer la somme arithmétique de deux nombres binaires. Le résultat de l'addition est généralement une somme **S** et une retenue **R** qui seront considérées comme des variables de sortie.

4.1 Demi-additionneur

C'est un additionneur de deux nombres binaires de 1 bit chacun.



- **Table de vérité :**

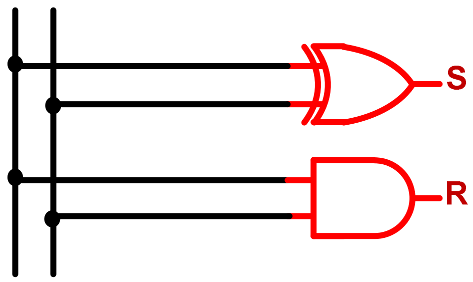
a_0	b_0	R	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

- **Equations logiques des sorties :**

$$S = \bar{a}_0 b_0 + a_0 \bar{b}_0 = a_0 \oplus b_0$$

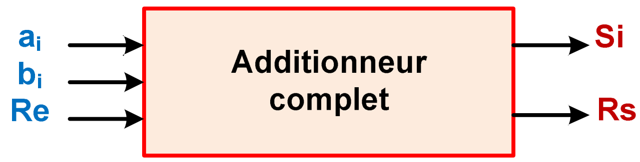
$$R = a_0 b_0$$

- **Logigramme :**



4.2 Additionneur complet

Un additionneur complet comporte **3** entrées : les deux bits à additionner **ai** et **bi**, et la retenue issue de l'addition des 2 bits de rang inférieur (dite entrante) **Re**. Il possède 2 sorties : la somme **Si** et la retenue sortante **Rs**.



- **Table de vérité :**

Re	a_i	b_i	Rs	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- **Equations logiques des sorties :**

$$S_i = \bar{R}_e \bar{a}_i b_i + \bar{R}_e a_i \bar{b}_i + R_e \bar{a}_i \bar{b}_i + R_e a_i b_i$$

$$S_i = \bar{R}_e (a_i \oplus b_i) + R_e\ (a_i \odot b_i)$$

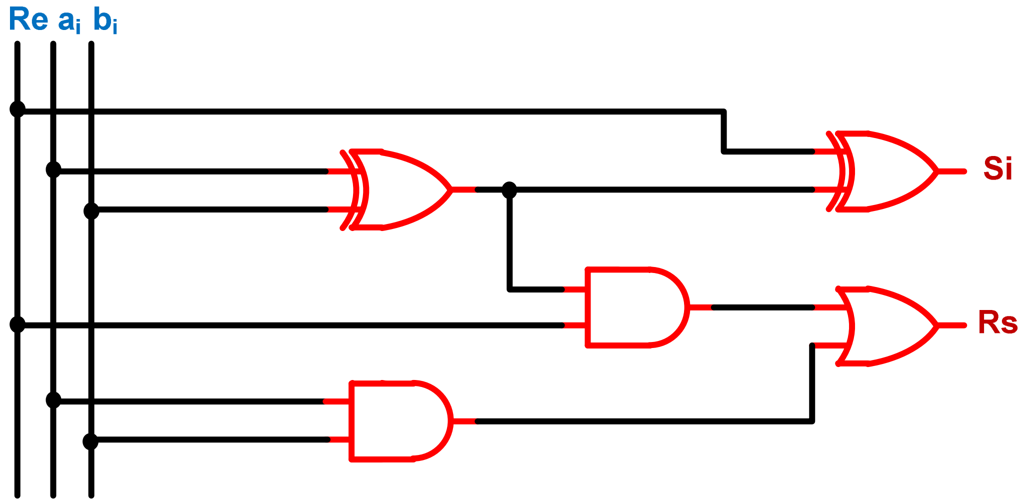
$$S_i = R_e \oplus (a_i \oplus b_i)$$

$$R_s = \bar{R}_e a_i b_i + R_e \bar{a}_i b_i + R_e a_i \bar{b}_i + R_e a_i b_i$$

$$R_s = R_e (a_i \oplus b_i) + a_i b_i (\bar{R}_e + R_e)$$

$$R_s = R_e (a_i \oplus b_i) + a_i b_i$$

- **Logigramme :**



5. Les comparateurs :

- **Table de vérité :**

a_0	b_0	S	E	I
0	0	0	1	0
0	1	0	0	1
1	0	1	0	0
1	1	0	1	0

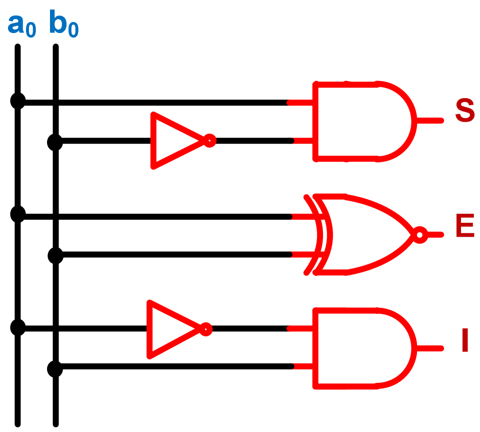
- **Equations logiques des sorties :**

$$S = a_0\bar{b}_0$$

$$E = \bar{a}_0\bar{b}_0 + a_0b_0 = + a_0 \odot b_0$$

$$I = \bar{a}_0b_0$$

- **Logigramme :**



6. Exercice d'application :

1. Soit la fonction **F(A,B,C) =R(1,4,5,7)**:

- **a)** Réaliser cette fonction à base d'un décodeur.
- **b)** Réaliser cette fonction à base d'un multiplexeur.

2. Réaliser un additionneur 4 bits à base d'additionneurs complets.