

PARTIE 2 :
TD, DS ET EXAMENS

TRAVAUX DIRIGES

EXERCICE 1 :

Dans une salle de classe, on désire installer un tableau à montée et descente automatique.

Le dispositif est constitué par deux câbles, situés à droite et à gauche du tableau, s'enroulant à la partie supérieure sur deux tambours, calés sur un même arbre, mus par un moteur électrique équipé d'un réducteur de vitesse à roue et visse sans fin.

Les conditions de fonctionnement sont les suivant :

- 1) Le tableau monte (**M**) lorsque l'on actionne un bouton poussoir (**a**) (action maintenue) et s'arrête quand (**a**) est libéré.
- 2) Le tableau descend (**D**) lorsque l'on actionne un bouton poussoir (**c**) (action maintenue) et s'arrête quand (**c**) est libéré.
- 3) Pour de raisons de sécurité, deux cas doivent être envisagés.

Premier cas :

L'action simultanée sur (**a**) et (**c**) provoque l'arrêt du tableau qui ne se remet en marche que lorsque l'un des deux boutons est libéré, et dans le sens prescrit par celui qui reste actionné.

Deuxième cas :

L'action simultanée sur (**a**) et (**c**) ne modifie pas le mouvement du tableau, la priorité étant accordée au bouton qui a été actionné le premier.

On demande dans les deux cas de sécurité envisagés d'établir :

- a. Les équations des circuits (**M**) et (**D**).
- b. Les schémas électriques.
- c. Les logigrammes avec des **Nand** à deux entrées.

Nota :

Les sécurités de fin de course (\bar{h}) et (\bar{b}) seront ajoutées après l'établissement des schémas.

EXERCICE 2 :

Une sortie (**K**) est commandée par un bouton poussoir (**s**), le fonctionnement est le suivant :

- A l'arrêt (**s=0**) et (**K=0**).
- On appuie sur (**s**), (**K**) fonctionne.
- On relâche (**s**), (**K**) reste en fonctionnement.
- On appuie de nouveau sur (**s**), (**k**) ne fonctionne plus.
- Quand on relâche (**s**), (**K**) reste à l'arrêt.

On demande le schéma développé de la sortie (**K**).

EXERCICE 3 :

Dans un dispositif de contrôle, l'apparition d'une anomalie agit sur un contact **(a)** (**a=1**) provoque :

- L'allumage d'une lampe orange **L1** (**L1=1**).
- La mise en route d'une sonnerie **S** (**S=1**).

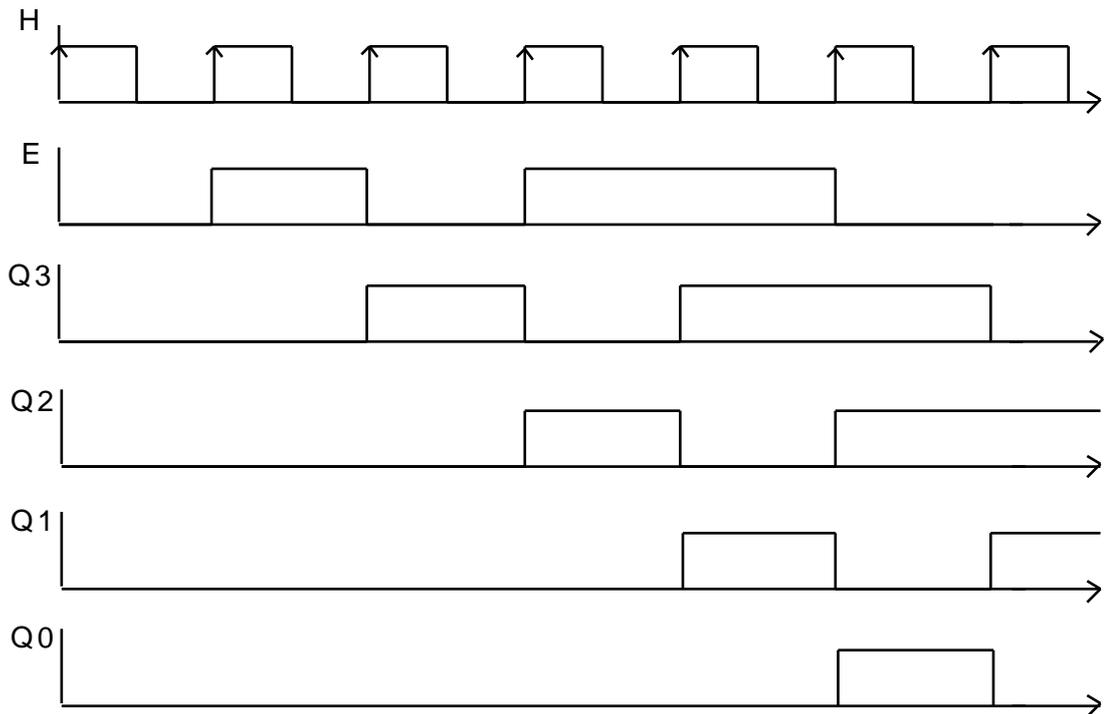
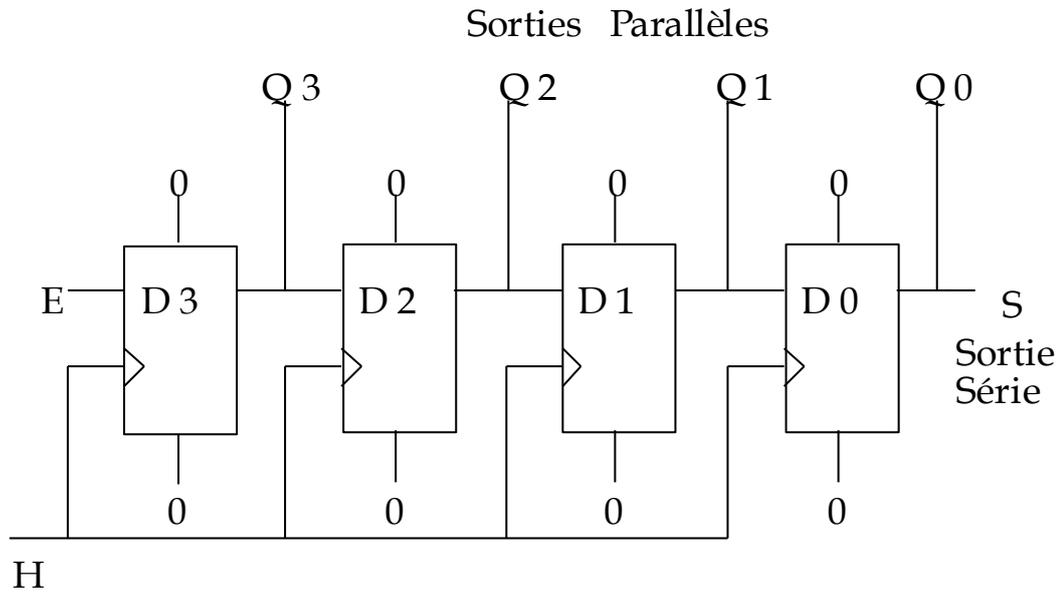
Le préposé à la surveillance est ainsi alerté. Il agit alors sur bouton **(b)** (**b=1**).

Deux cas sont possibles :

- L'anomalie, de très courte durée, a déjà disparue avant l'intervention du surveillant :
L'action de ce dernier arrête la sonnerie (**S**) et éteint la lampe (**L1**).
- L'anomalie, de longues durées, persiste encore lors de l'intervention du surveillant :
L'action de ce dernier arrête la sonnerie (**S**), éteint la lampe (**L1**) et allume une lampe rouge (**L2**) (**L2=1**).

On demande le plan développé du circuit électrique.

EXERCICE 4: Registre à décalage (4 bits)



EXERCICE 5 :

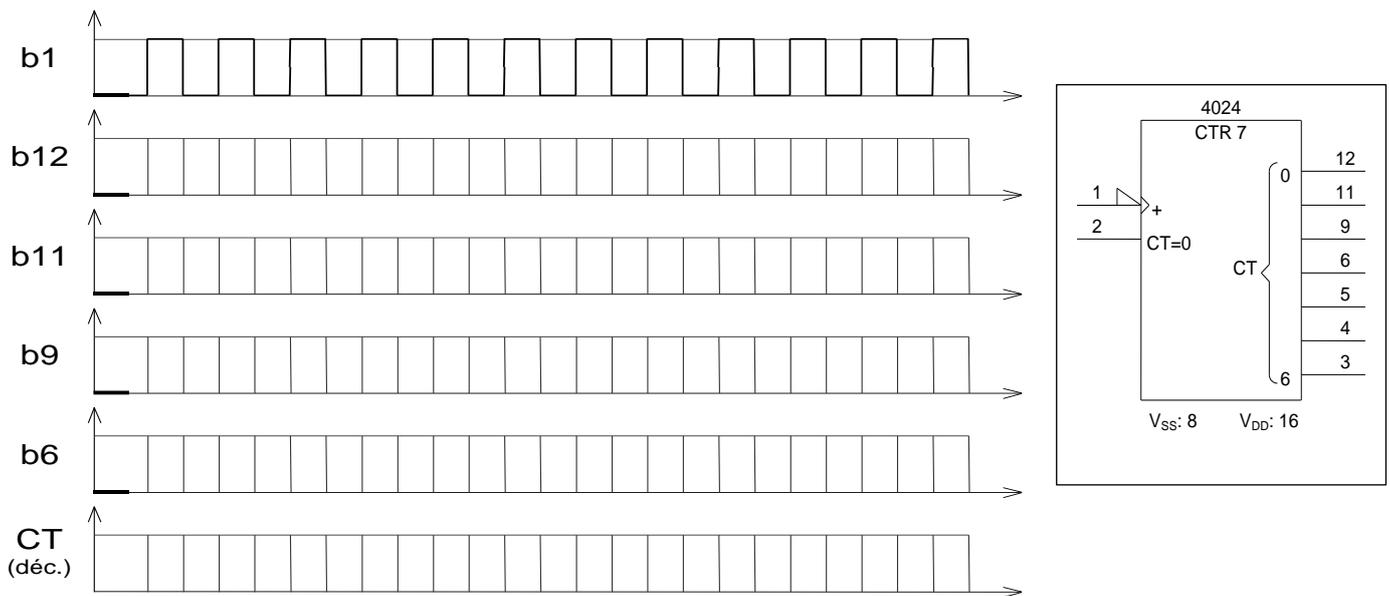
1. Circuits intégrés de comptage :

Pour chacun des compteurs ci-après :

- décrire le rôle des différentes entrées et sorties d'après la norme de symbolisation logique IEC;
- déterminer les connexions à réaliser afin que le composant fonctionne en comptage;
- tracer les chronogrammes correspondant aux différentes sorties.

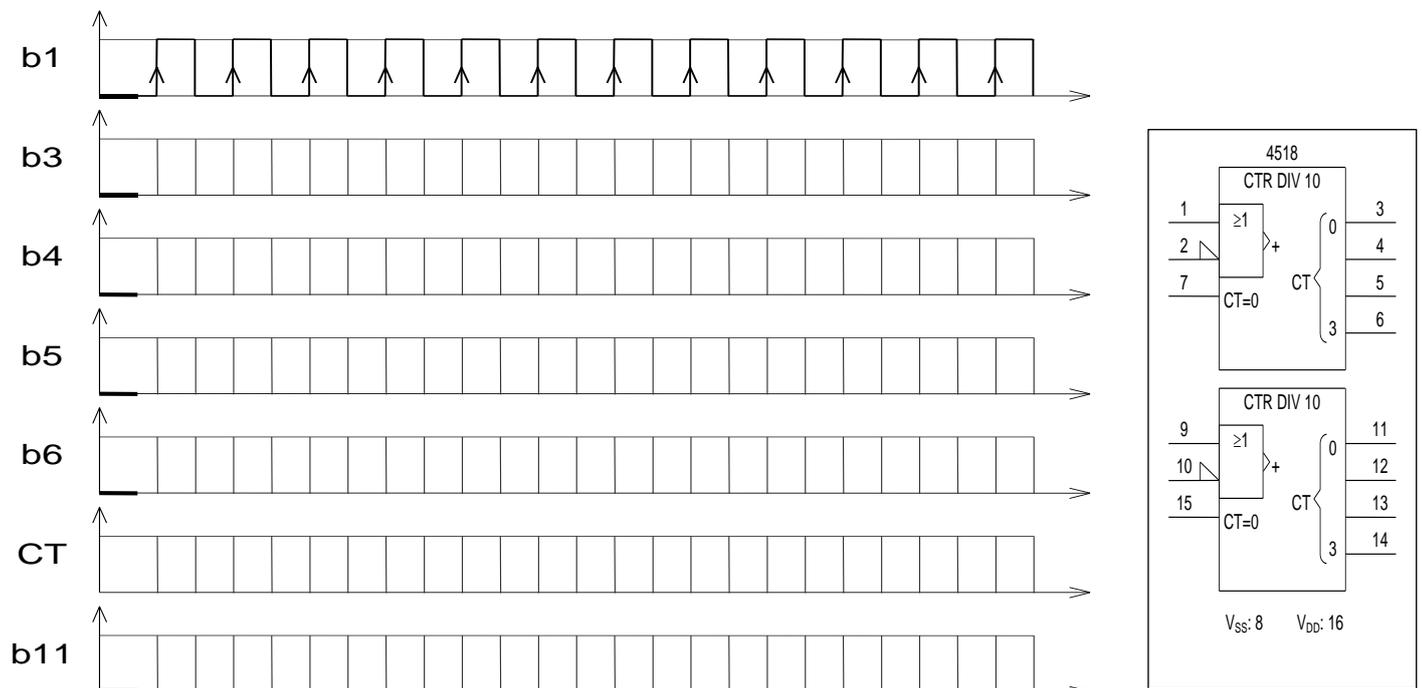
1.1. Compteur/diviseur binaire 7 étages

Attention ! Le front actif descendant (b1) n'a d'effet QUE entre la patte 1 et la valeur du contenu. C'est bien un compteur (+) donc augmentation de 1 de la valeur du compteur. Décompteur = (-).



1.2. Double compteur Modulo 10

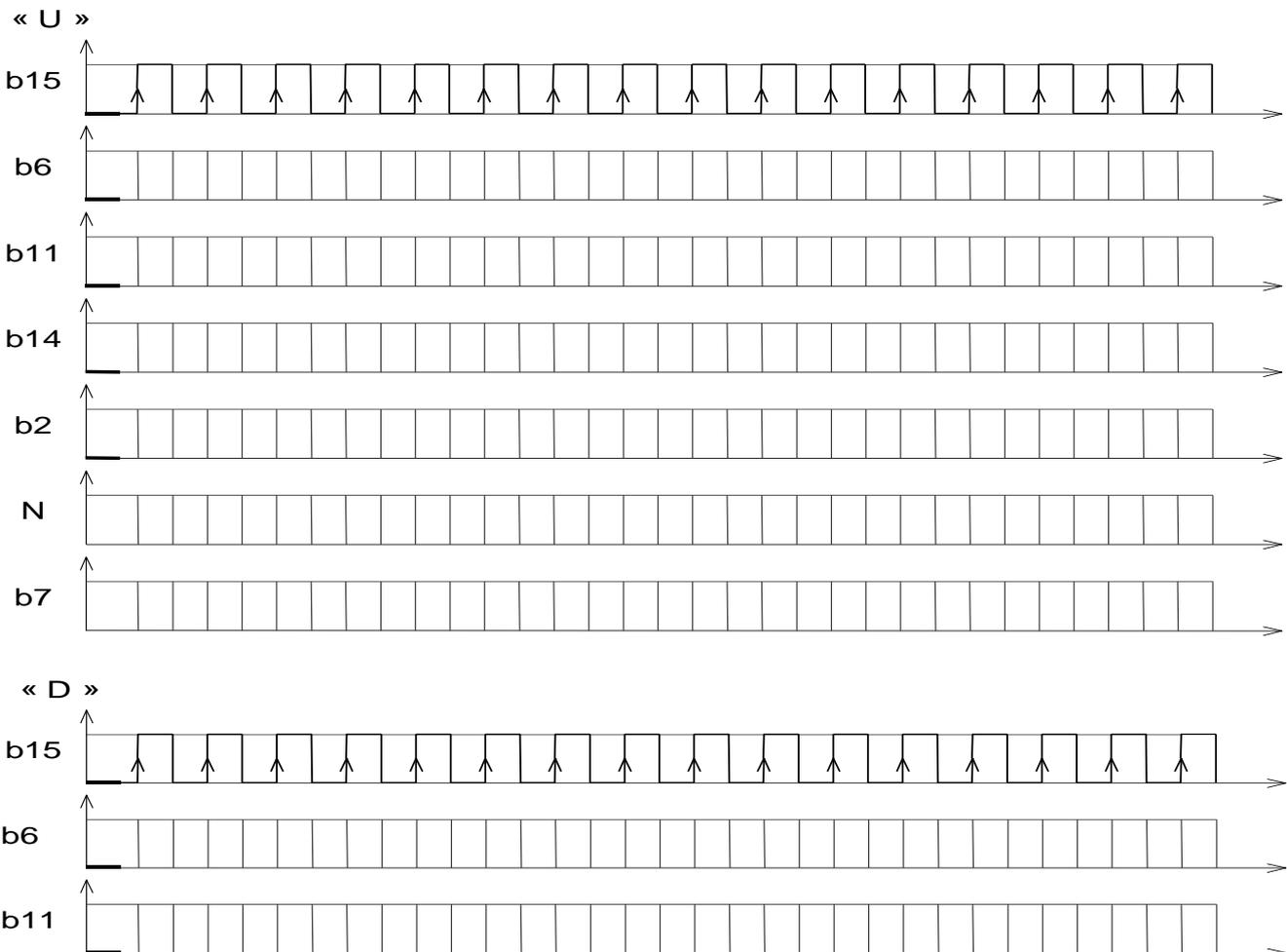
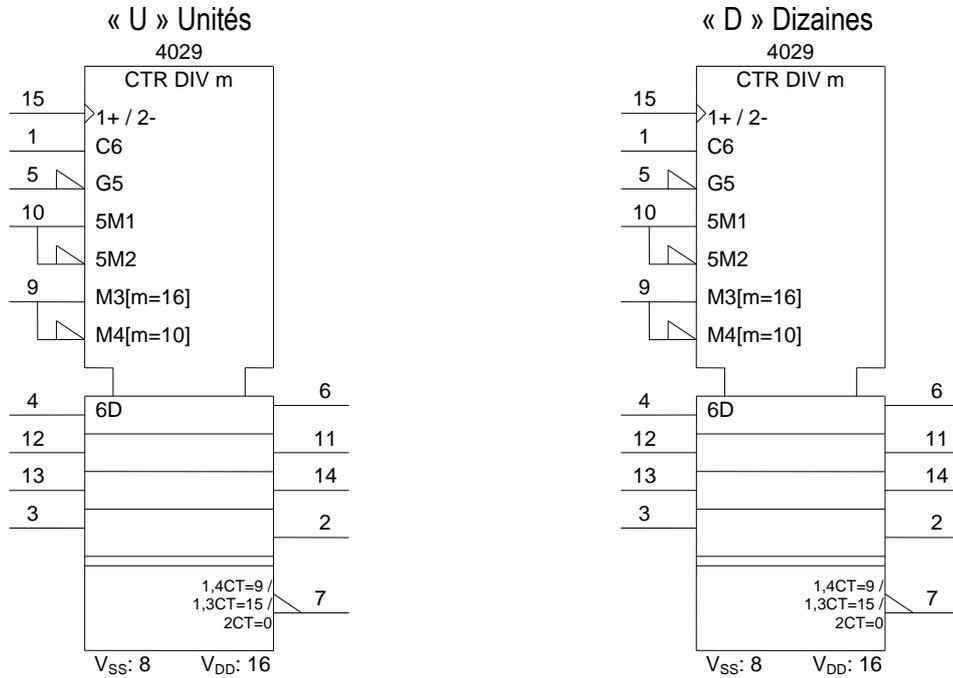
Déterminer les connexions nécessaires afin mettre en oeuvre une cascade asynchrone pour un comptage sur front montant et sur deux décades (0 à 99).



EXERCICE 6 :

Compteur/décompteur binaire/décimal synchrone avec prépositionnement :

Déterminer les connexions nécessaires afin mettre en œuvre une cascade *synchrone* pour un comptage sur deux décades (0 à 99).



DS AVRIL 2014

EXERCICE I : Bascule.(6pts)

On vous donne le schéma électrique d'un système séquentiel asynchrone (figure1) :

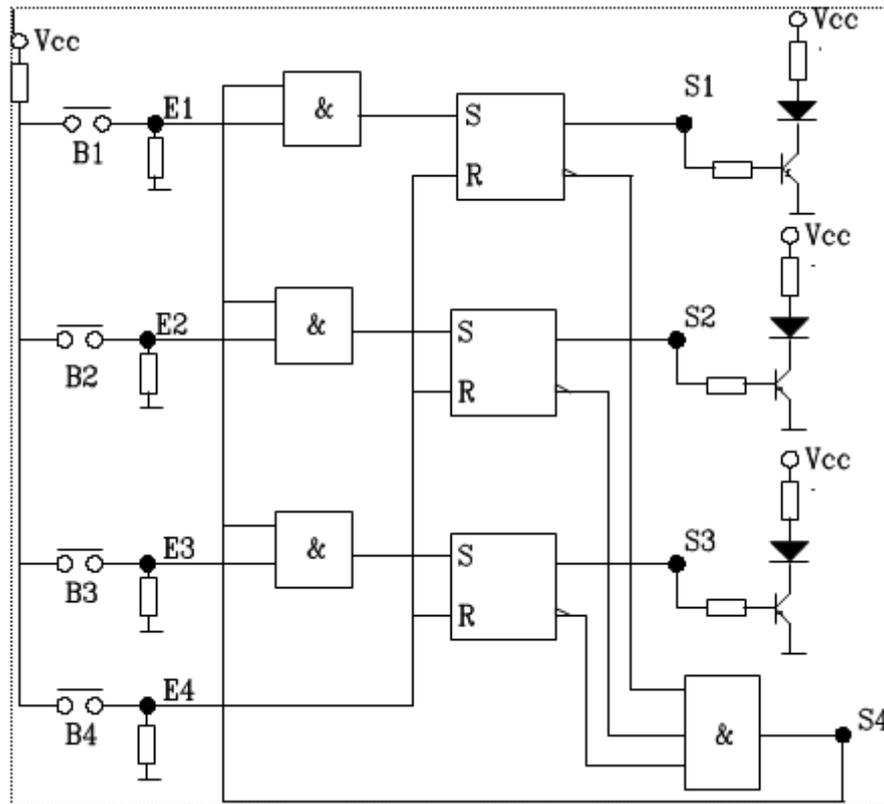
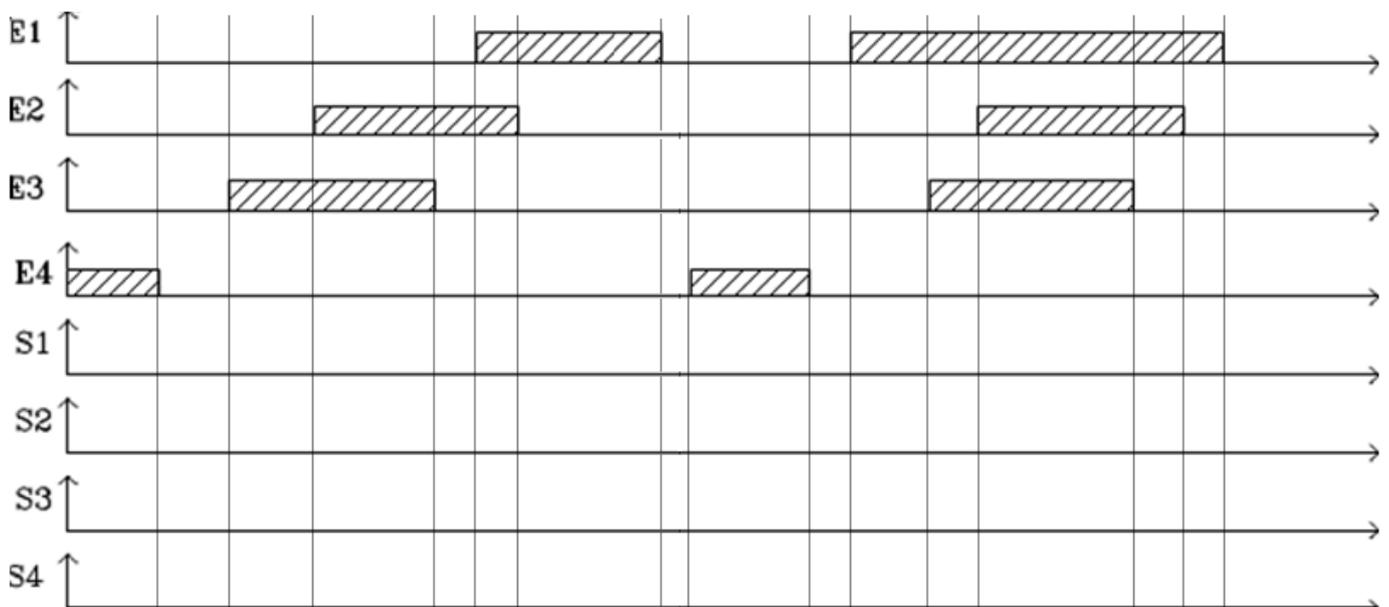


figure1 : Système séquentiel asynchrone

a) **Compléter** les chronogrammes suivants:



b) **Proposer** une structure à base de porte NAND à deux entrées pour réaliser la bascule RS.

.....

.....

.....

c) **Proposer** une structure à base de porte NAND à deux entrées pour réaliser la porte ET.

.....

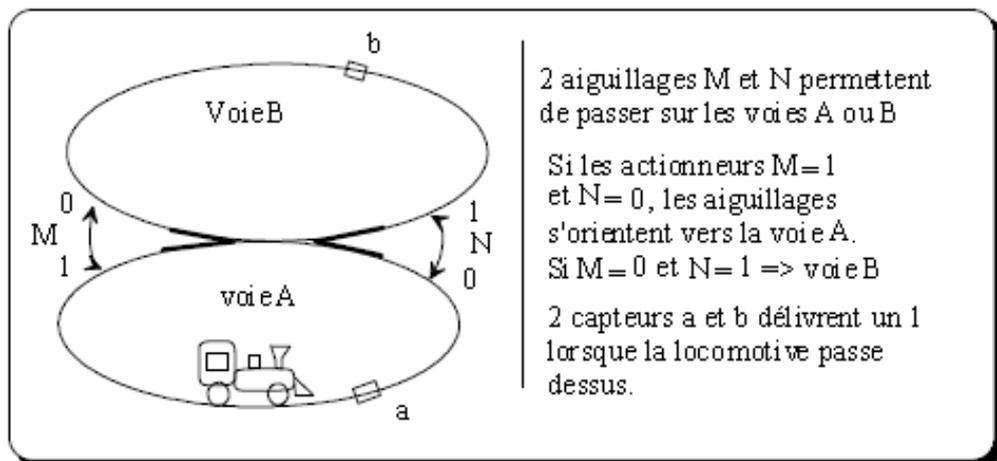
.....

.....

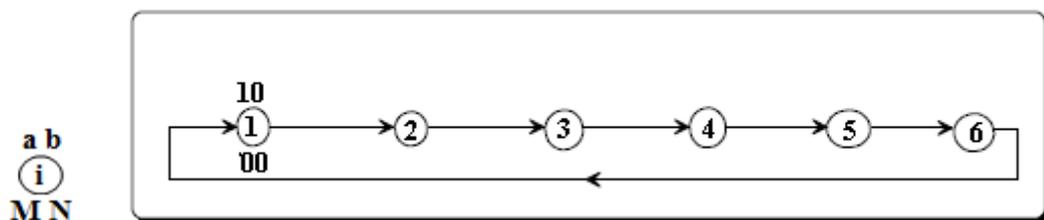
EXERCICE II : Synthèse par HUFFMAN (14pts).

Recherche d'un système séquentiel pour automatisme ferroviaire (modèle réduit).

On désire que la locomotive passe 2 fois sur la voie A puis 1 fois sur la voie B, et recommence le cycle.



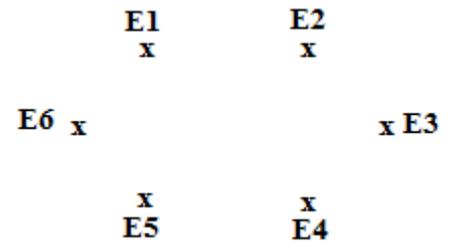
1) Compléter le diagramme d'états.



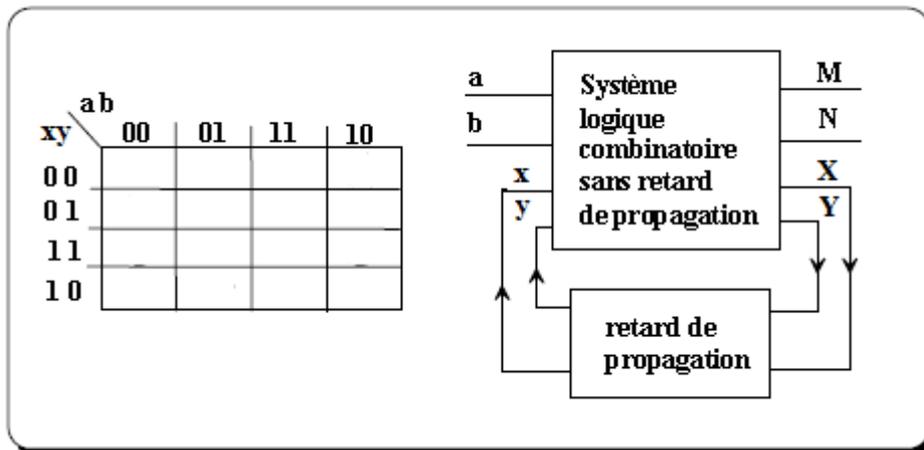
2) Donner la matrice primitive.

ab états	00	01	11	10	M	N
E1						
E2						
E3						
E4						
E5						
E6						

3) Polygone de liaison :



4) Matrice réduite codée :



5) Donner les matrices d'excitations secondaires et de sorties :

Matrices d'excitation de X et Y

X		ab			
xy	00	01	11	10	
00					
01					
11					
10					

Y		ab			
xy	00	01	11	10	
00					
01					
11					
10					

Matrices des sorties

M		ab			
xy	00	01	11	10	
00					
01					
11					
10					

N		ab			
xy	00	01	11	10	
00					
01					
11					
10					

Equations :

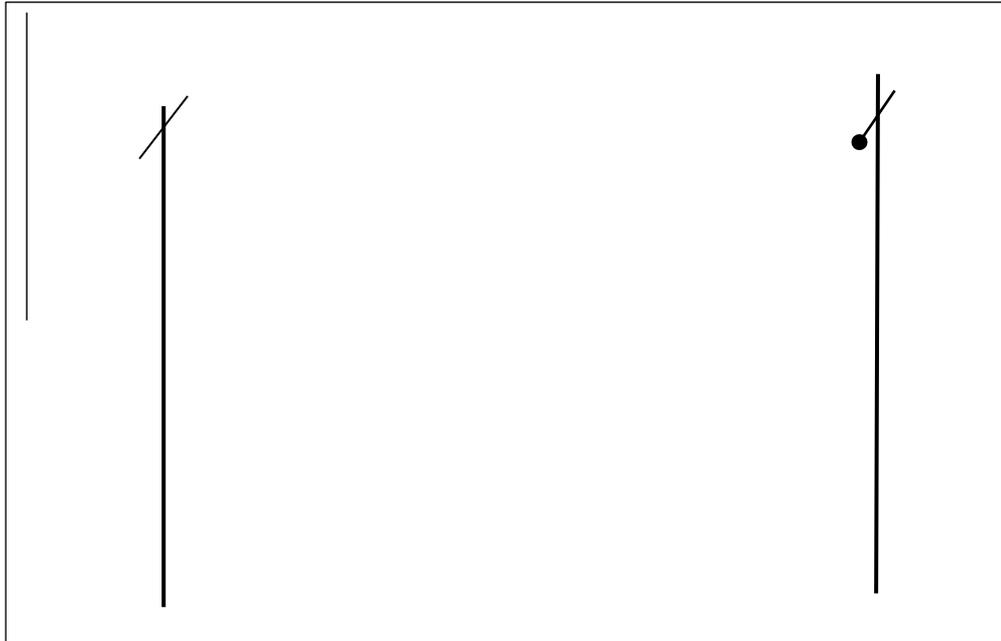
X=

Y=

M=

N=

6) Représenter le schéma électrique du système :

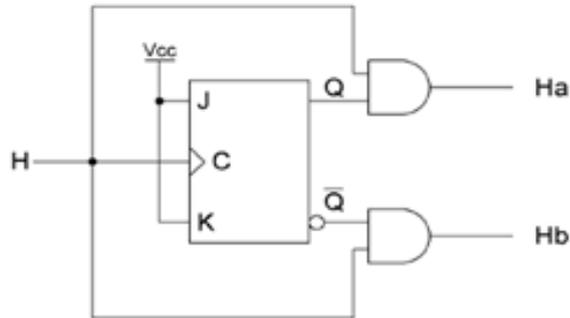


7) Convertir les équations en utilisant des portes NAND à 2 entrées et représenter son logigramme

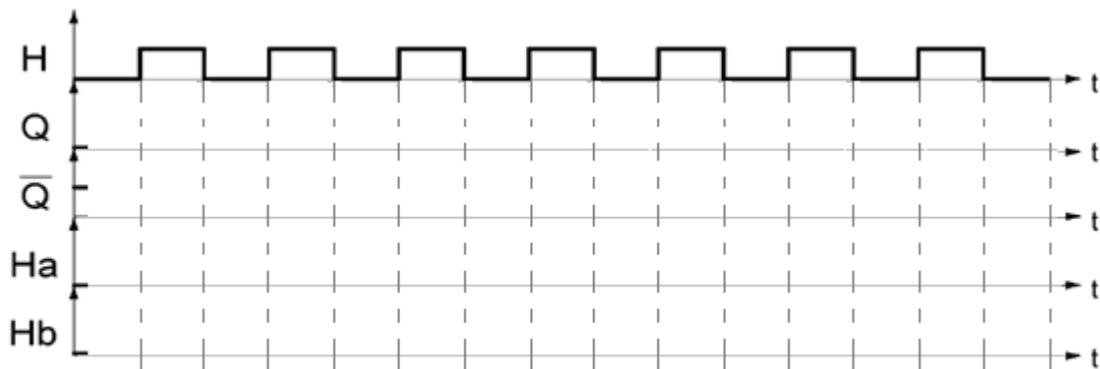
.....
.....
.....
.....
.....
.....
.....
.....
.....

EXAMEN JUIN 2014

Exercice 1 : (2 points)

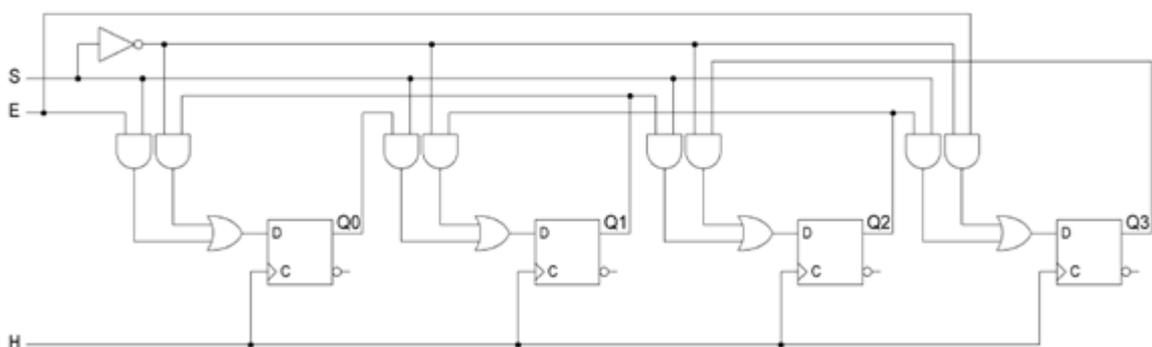


A partir de la figure ci-dessus compléter le chronogramme suivant :



Exercice 2 : (6 points)

Soit le registre ci-dessous :



1. En supposant que l'entrée **S** soit toujours à **1**, que réalise ce montage ?

.....

2. En supposant que l'entrée **S** soit toujours à **0**, que réalise ce montage ?

.....

3. En supposant que l'entrée E soit toujours à 0, remplissez le chronogramme ci-dessous :

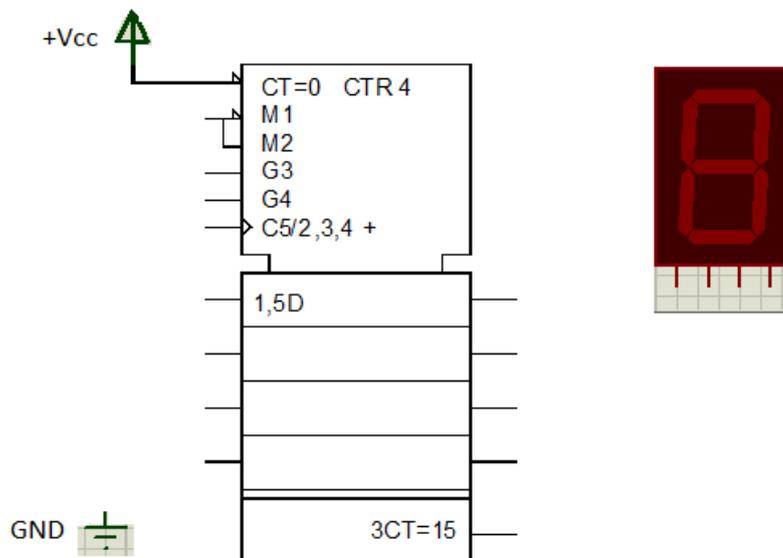


Exercice 3 : (6 points)

1. Compléter le tableau ci-dessous qui correspond au compteur intégrés 74161 (voir annexe)

Nom	Entrée ou sortie	Actif à quel niveau (haut/bas) ou front	Action réalisée
CT =0
M 1/M2
G3 . G4
C5

2. Compléter le schéma ci-dessous pour avoir un compteur modulo 11 avec la séquence 5 6 → 15 (5 est précharger en fin de cycle)



Exercice 4 : (6 points)

Faire la synthèse d'un compteur synchrone qui compte selon la valeur de sélecteur S tel que :

S = 0	0 - 2 - 4 - 6
S = 1	1 - 3 - 5 - 7

Proposer un schéma de réalisation en utilisant des bascules DH↓

Réponse :

S	Etat présent			Etat suivant		
	Q2	Q1	Q0	Q2	Q1	Q0
0	0	0	0	0	1	0
0						
0						
0						
1						
1						
1						
1						

	Q1 Q0			
S Q2	00	01	11	10
00				
01				
11				
10				

D2 =

	Q1 Q0			
S Q2	00	01	11	10
00				
01				
11				
10				

D1=.....

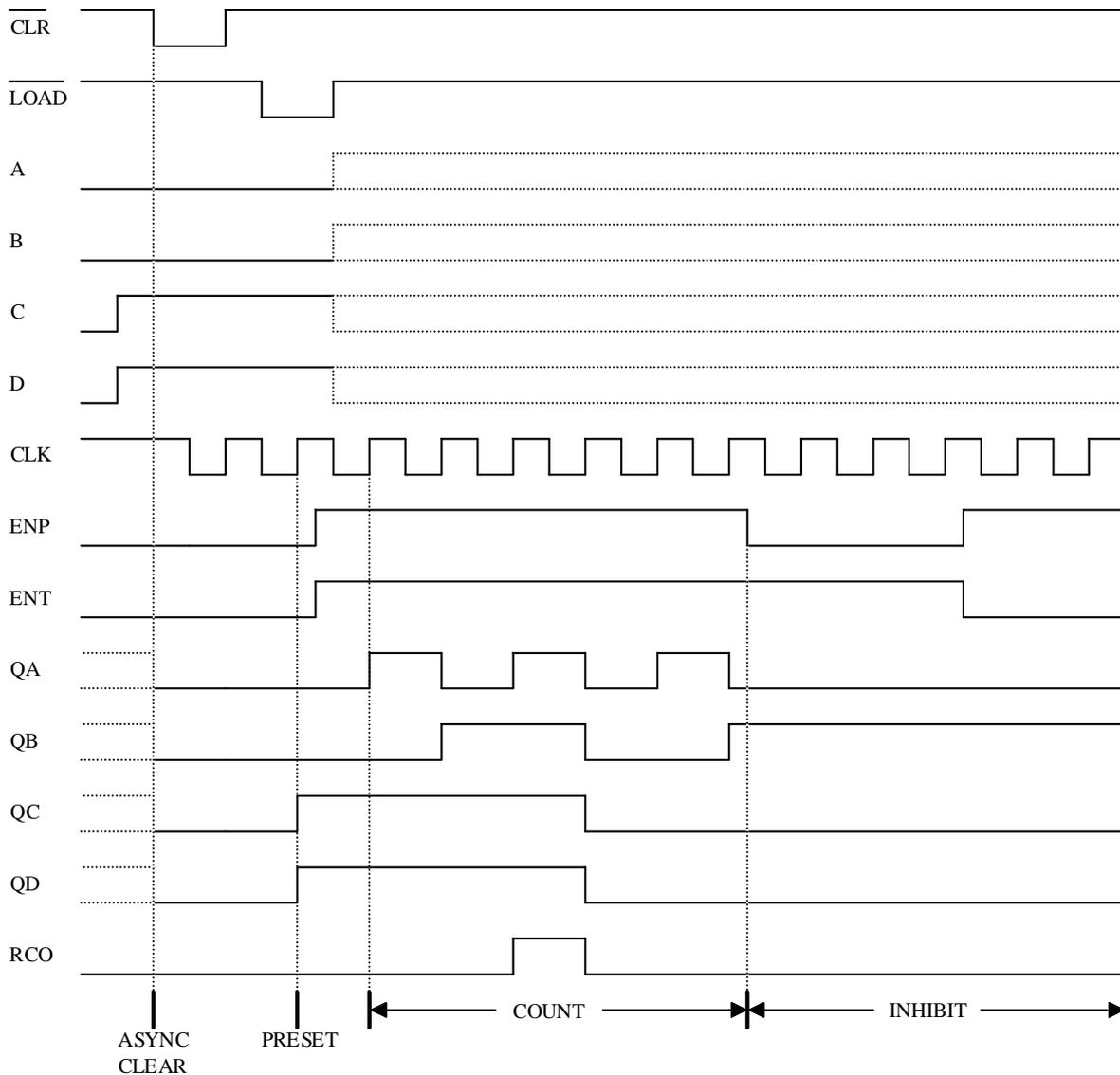
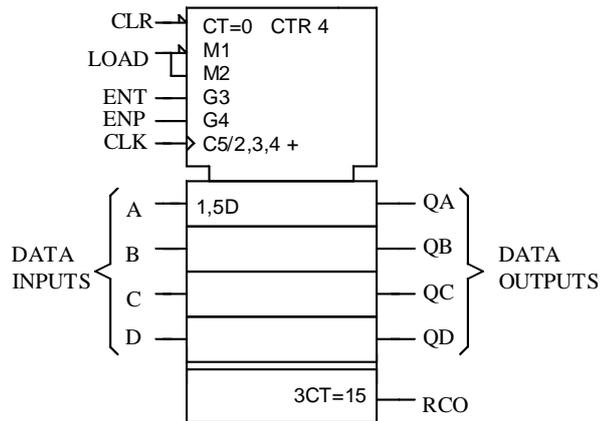
	Q1 Q0			
S Q2	00	01	11	10
00				
01				
11				
10				

D0 = S

Montage :

Annexe

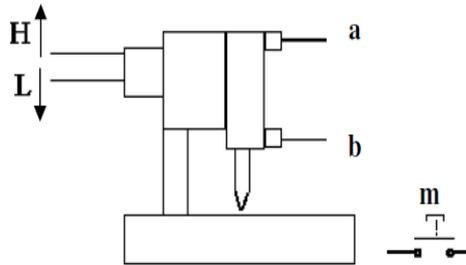
Symbole et fonctionnement du compteur 4 bits (compteur modulo 16) 74LS161



DS AVRIL 2015

Synthèse des systèmes logiques séquentiels asynchrones par la méthode de Huffman :

A. Cahier de charges :



Le système est constitué de :

- Un capteur de position haute (a).
- Un capteur de position basse (b).
- Un bouton poussoir de marche(m).
- Un moteur commandable dans deux sens : (L) pour la descente et (H) pour la montée.

Le fonctionnement du système est comme suit :

La perceuse est initialement en position haute (a).

Lorsque l'opérateur appuie sur le bouton marche(m), la perceuse descend jusqu'à la position basse (b) pour, ainsi, effectuer le perçage de la pièce. Elle doit, ensuite, remonter à sa position initiale.

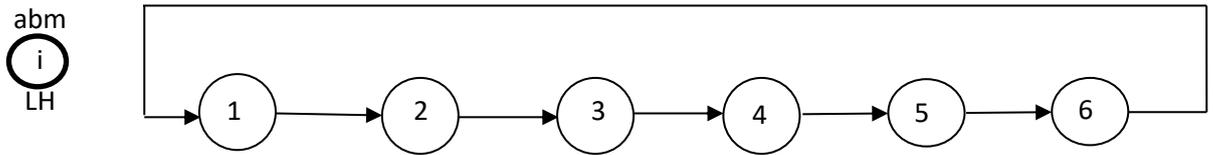
Le même cycle est relancé de nouveau à l'activation du bouton (m).

B. Travail demandé :

- Effectuer la synthèse du système par la méthode de Huffman.
- Transformer les équations trouvées en utilisant des portes Nand à 2 entrées.
- Représenter le schéma électrique ainsi que son logigramme en utilisant des portes Nand à 2 entrées.
- Compléter le schéma de câblage en utilisant le brochage normalisé.

Document Réponse

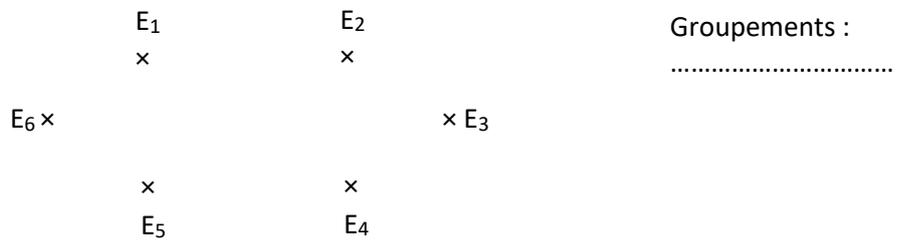
1) Diagramme des états (des transitions) :



2) Matrice primitive :

abm Etats	000	001	011	010	110	111	101	100	L	H
E ₁										
E ₂										
E ₃										
E ₄										
E ₅										
E ₆										

3) Simplification et Polygone de liaison :



4) Matrice réduite :

abm Etats	000	001	011	010	110	111	101	100

5) Matrice réduite codée :

abm x	000	001	011	010	110	111	101	100

6) Matrice d'excitation secondaire X :

abm x	000	001	011	010	110	111	101	100
0								
1								

Equation :

.....

7) Matrice des sorties L et H:

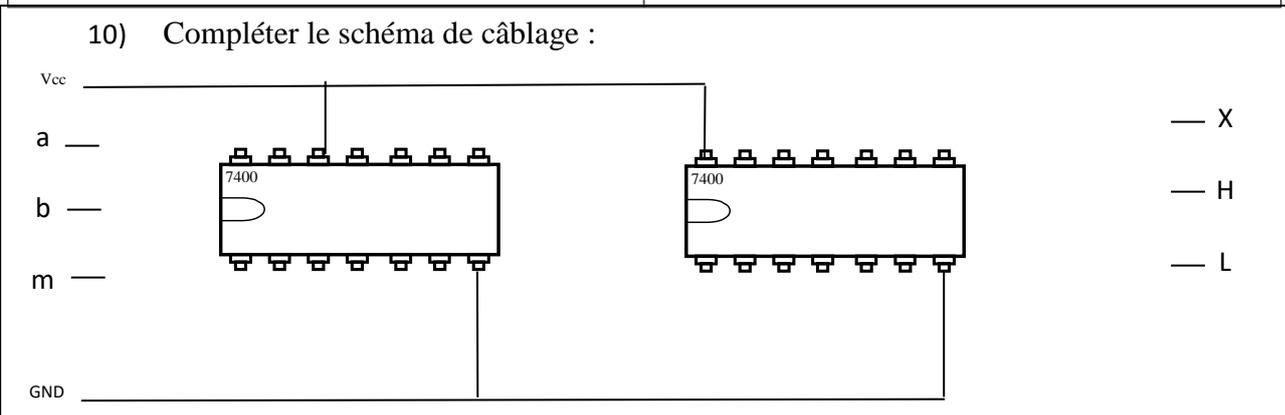
abm x	000	001	011	010	110	111	101	100
0								
1								

abm x	000	001	011	010	110	111	101	100
0								
1								

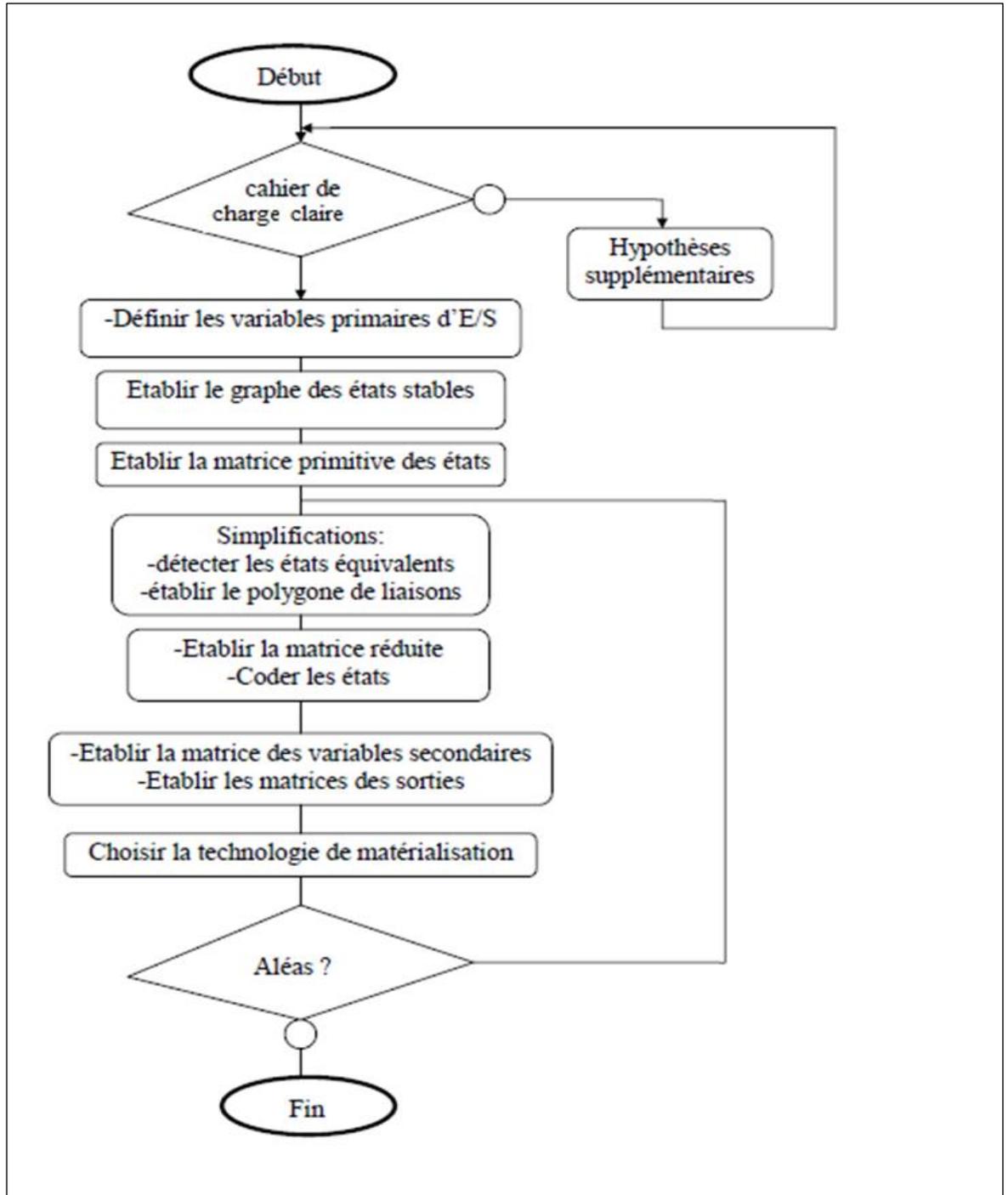
Equations :

.....

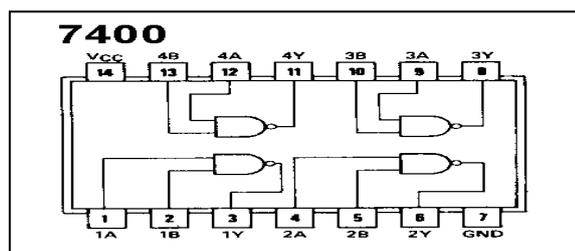
<p>8) Schéma électrique :</p>	<p>9) Logigramme :</p>
-------------------------------	------------------------



Annexes



Méthode de Huffman :

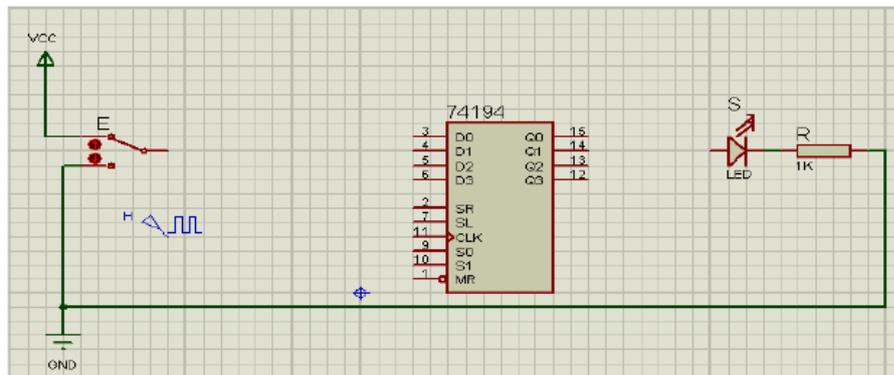


Brochage du circuit 7400

EXAMEN JUIN 2015

Exercice 1 : (1°) 3pts 2°) a) 1 pt b) 1pt)

1) Compléter le schéma suivant pour réaliser un registre SISO Décalage à droite avec le CI : 741LS94 (Annexe1), en prenant (E) comme entrée et (S) sortie.



2) $\overline{MR} = "1"$,

supposons qu'on a chargé le registre

par (ABCD)=(0110) avec (S₁S₀)=(11).

Puis on revient au mode (S₁S₀)=(01),

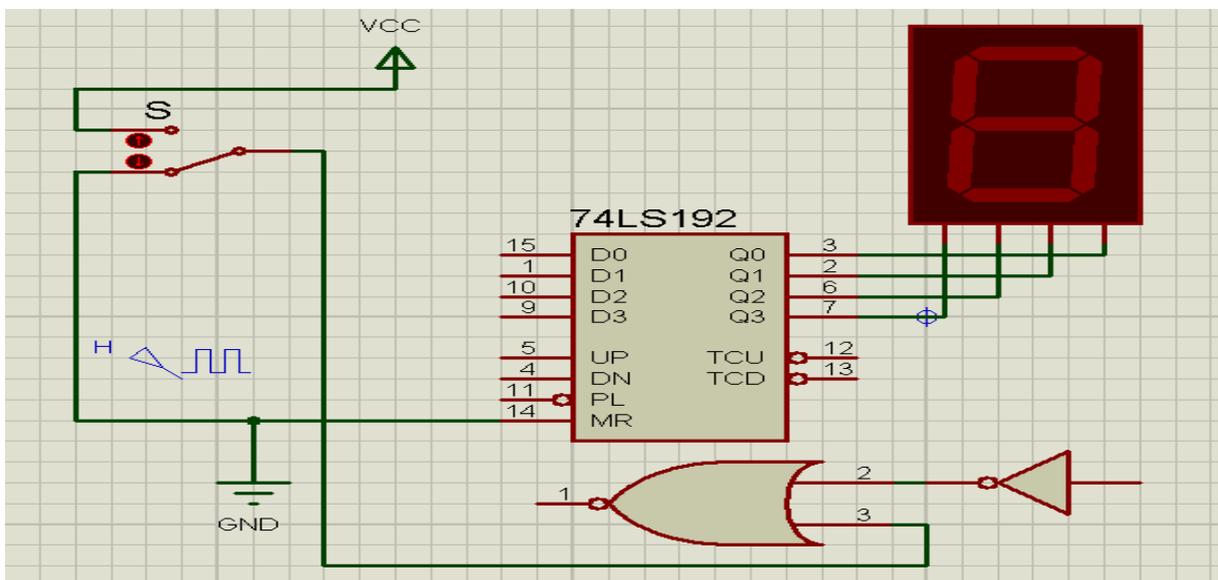
a- Que signifie ce mode ?

b- Compléter le tableau suivant :

CLK	SR	Q _A	Q _B	Q _C	Q _D
0	X	0	1	1	0
1↑	1				
2↑	0				
3↑	0				
4↑	0				

Exercice 2 : (6 points)

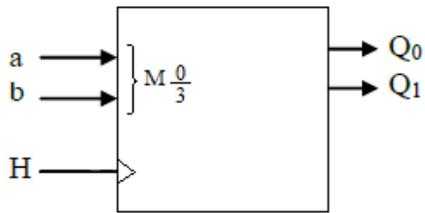
En se référant à l'annexe 2, compléter le schéma ci-dessous pour avoir un décompte modulo 8 avec une entrée de chargement S.



Exercice 3 : (9 pts)

Faire la synthèse d'un compteur synchrone réversible modulo 4 à deux entrées a et b de sélection du mode. Compléter les tableaux ci-dessous et proposer un schéma de réalisation en utilisant des bascules DH↑ .

On rappelle la table des transitions pour la bascule " D " :



Modes de fonctionnement :

(ab)=(00) : RAZ (remise à zéro)

(ab)=(01) : Décompteur

(ab)=(10) : Compteur

(ab)=(11) : Blocage (c à d $Q_{n+1}=Q_n$!!!)

Tr	D
μ_0	0
μ_1	1
ε	1
δ	0

a- Table de séquences d'états :

H	a	b	Etat précédent		Etat suivant	
			Q1	Q0	Q1	Q0
↑	1	0	0	0		
↑	1	0				
↑	1	0				
↑	1	0				
↑	0	1	1	1		
↑	0	1				
↑	0	1				
↑	0	1				

H	a	b	Etat précédent		Etat suivant	
			Q1	Q0	Q1	Q0
↑	0	0	0	0		
↑	0	0	0	1		
↑	0	0	1	0		
↑	0	0	1	1		
↑	1	1	0	0		
↑	1	1	0	1		
↑	1	1	1	0		
↑	1	1	1	1		

b- Equations des D_i :

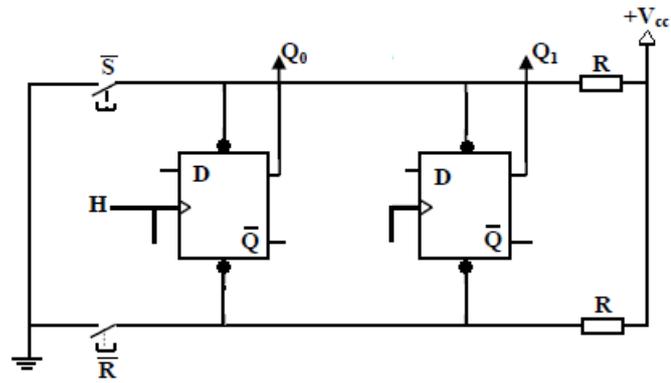
a b	00	01	11	10
Q1 Q0				
00				
01				
11				
10				

$D_1 = \dots\dots\dots$

a b	00	01	11	10
Q1 Q0				
00				
01				
11				
10				

$D_0 = \dots\dots\dots$

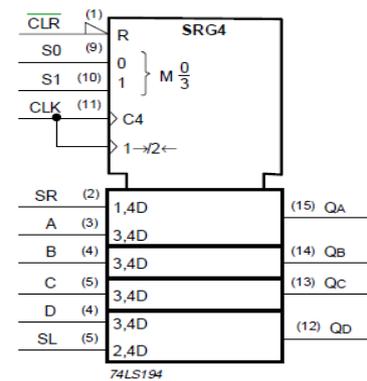
c- Schéma logique :



Annexe 1

Le symbole normalisé IEC du registre de type 194 est donné à la **Figure 15**.

- CLK, l'entrée d'horloge, synchronise le registre sur fronts montants.
- CLR, entrée asynchrone de remise à zéro des sorties.
- A, B, C et D, entrées de chargement parallèle.
- SR (*shift right*), entrée de chargement série côté droit, SL (*shift left*), entrée de chargement série côté gauche.
- S0 et S1, les entrées de contrôle synchrones. Les modes de fonctionnement sont donnés dans le **Tableau 1**.
- Q_A , Q_B , Q_C et Q_D , sorties du registre et représente son contenu. Utilisées simultanément, la lecture est parallèle. Si seule la dernière est utilisée, la lecture est série.



S1	S0	Mode de fonctionnement
0	0	Inhibition (registre figé malgré l'horloge)
0	1	Chargement série par l'entrée SR, déplacement de l'information à droite (Q_A vers Q_D)
1	0	Chargement série par l'entrée SL, déplacement de l'information à gauche (Q_D vers Q_A)
1	1	Chargement parallèle par les entrées A, B, C et D.

Tableau 1 : les modes de fonctionnement du '194.

Chronogrammes de fonctionnement

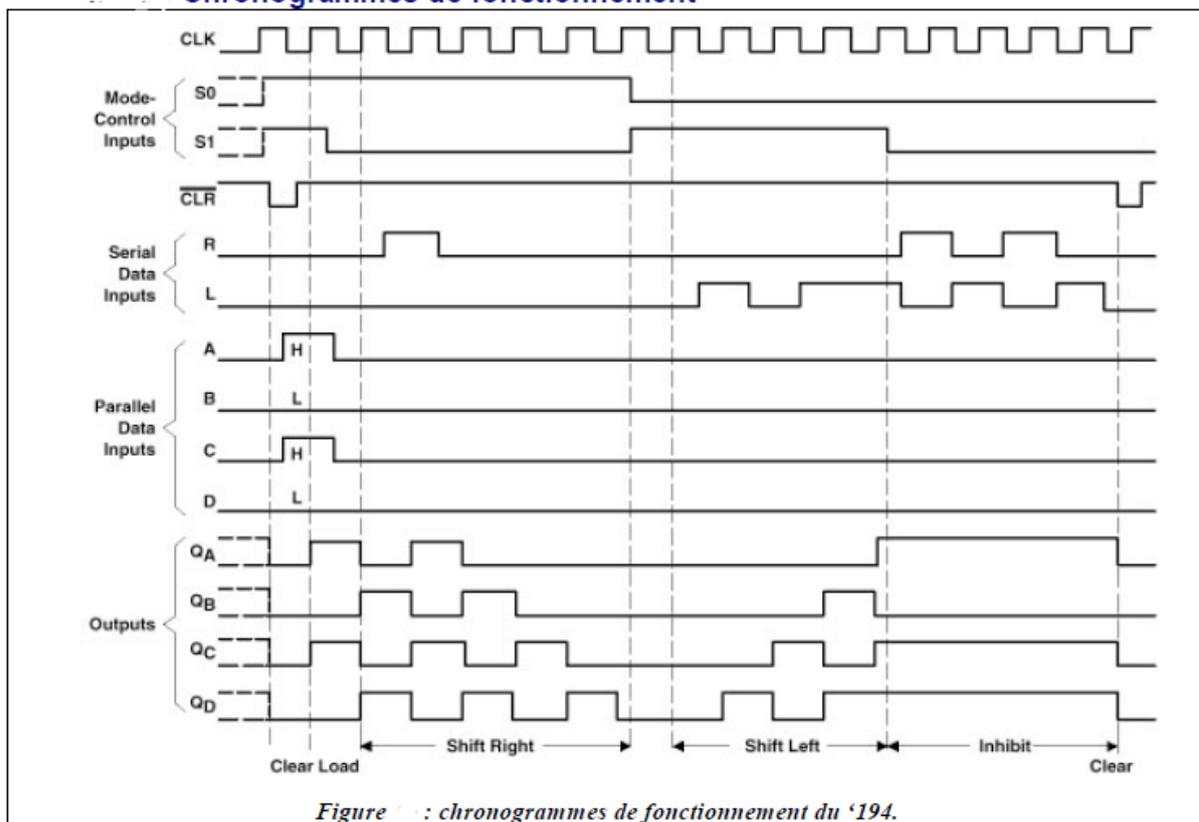


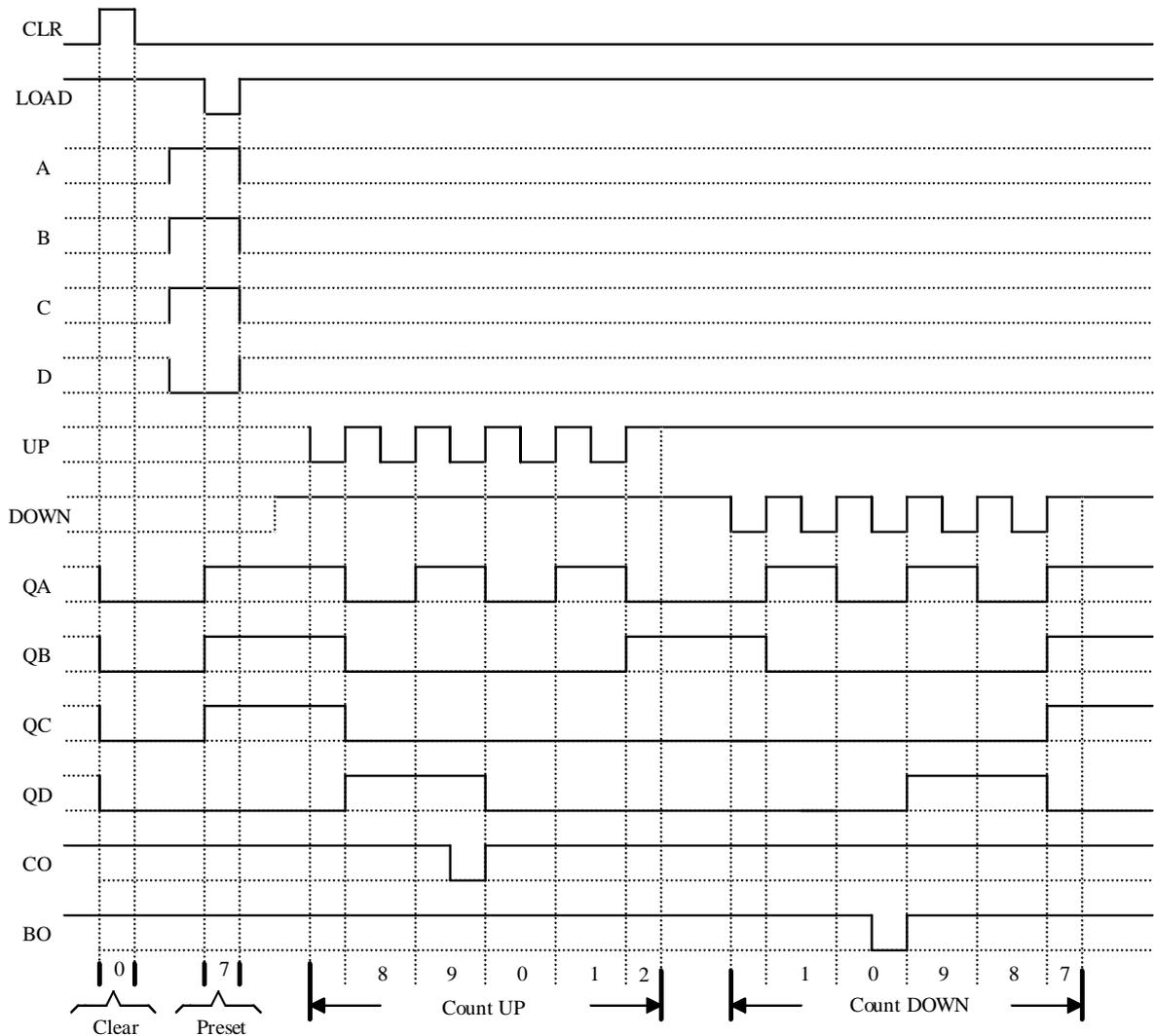
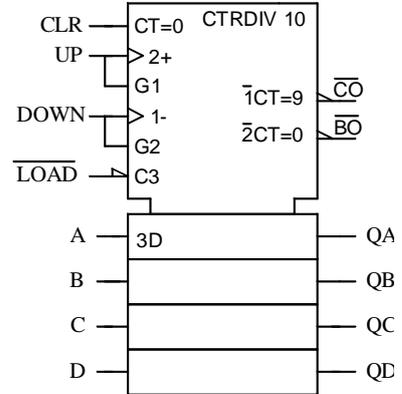
Figure 15 : chronogrammes de fonctionnement du '194.

Annexe 2

Symbole et fonctionnement du compteur BCD (ou compteur par 10) 74LS192.

Explication de la norme IEEE/ANSI utilisée pour ce composant :

- "CTRDIV 10" compteur /décompteur par 10
- "CT" indique le compteur (les sorties Q)
- "G1" entrée qui agit sur l'entrée "1"
- "G2" entrée qui agit sur l'entrée "2+"
- "1-" entrée de décomptage
- "2+" entrée de comptage
- "C3" entrée qui agit sur les entrées "3D"
- " $\overline{1CT}=9$ " sortie active si pas "G1" et si "CT=9"
- " $\overline{2CT}=0$ " sortie active si pas "G2" et si "CT=0"
- "3D" entrées de chargement parallèle
- "Q" sortie compteur/décompteur



DS AVRIL 2016

Exercice 1 (14 points)

Synthèse des systèmes logiques séquentiels asynchrones par la méthode de Huffman :

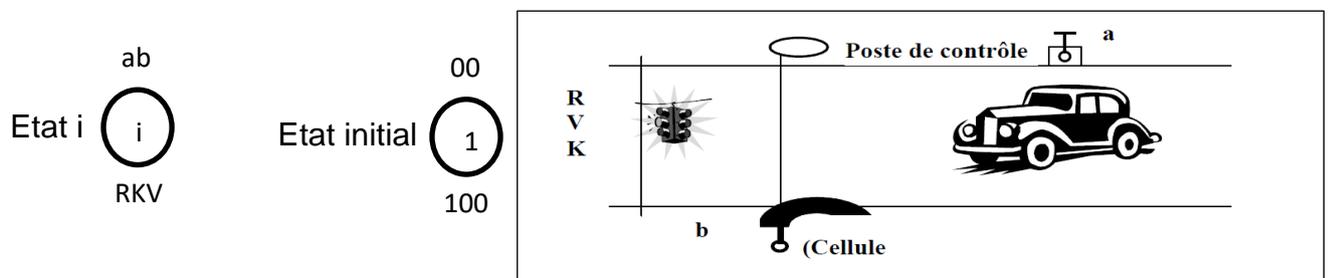
A. Cahier de charges :

Pour emprunter une autoroute à péage, l'automobiliste doit s'arrêter au poste de contrôle, déposer une pièce de monnaie dans un panier (a) placé à cet effet. Le feu rouge disparaît ($R=0$) alors que le feu vert s'allume ($V=1$). L'automobiliste peut alors prendre l'autoroute.

Le fonctionnement de ce poste de péage est le suivant :

- ① L'automobiliste s'arrête, dépose une pièce qui agit au passage sur un contact (a) (impulsion : la variable (a) passe à 1 puis revient à 0) dès que (a) passe à 1 le feu vert s'allume ($V=1$) ; l'automobiliste avance, lorsque le faisceau de la cellule (b) est barré ($b=1$), le feu rouge s'allume ($R=1$) et le vert s'éteint.
- ② Si l'automobiliste s'avance par inattention devant la cellule b sans payer, le Klaxon retentit ($K=1$) et le feu rouge reste allumé ($R=1$). 2 situations peuvent être envisagées :
 - ②① Le conducteur fait marche arrière pour se placer face au panier a, le Klaxon retentit, le feu reste rouge. Dès que la pièce est introduite dans le panier, le feu vert s'allume ($V=1$) et le conducteur peut continuer sa route dans les conditions normales spécifiées dans le paragraphe précédent.
 - ②② Le conducteur ne peut reculer parce que la voiture suivante le gêne. Il descend de la voiture et met la pièce ; alors le feu vert s'allume. Le Klaxon s'arrête et il peut reprendre sa route.

On demande de faire la synthèse de cet automatisme en utilisant la méthode d'Huffman.

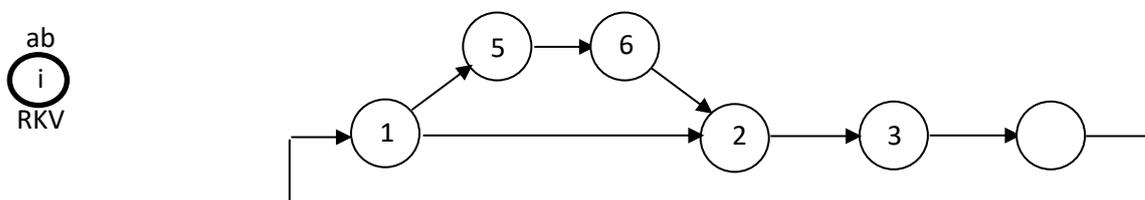


B. Travail demandé :

- Effectuer la synthèse du système par la méthode de Huffman. Compléter le document réponse sur pages 2/4 et 3/4.
- Transformer les équations trouvées en utilisant des portes Nand à 2 entrées.
- Représenter le logigramme en utilisant des portes Nand à 2 entrées.
- Compléter le schéma de câblage en utilisant le brochage normalisé.

Document Réponse

1. Si on néglige la situation 2.2 le graphe des états stables est le suivant. Compléter:



2. Matrice primitive :

ab Etats	00	01	11	10	R	K	V
E ₁							
E ₂							
E ₃							
E ₄							
E ₅							
E ₆							

3. Simplification de la matrice primitive :

Polygone de liaison :

Etats stables équivalents :	E ₁ × E ₆ × × E ₅	E ₂ × × E ₄	Groupements :
--	--	--	--

4. Matrice réduite codées:

5. Equations des excitations secondaires :

Equation :

.....

.....

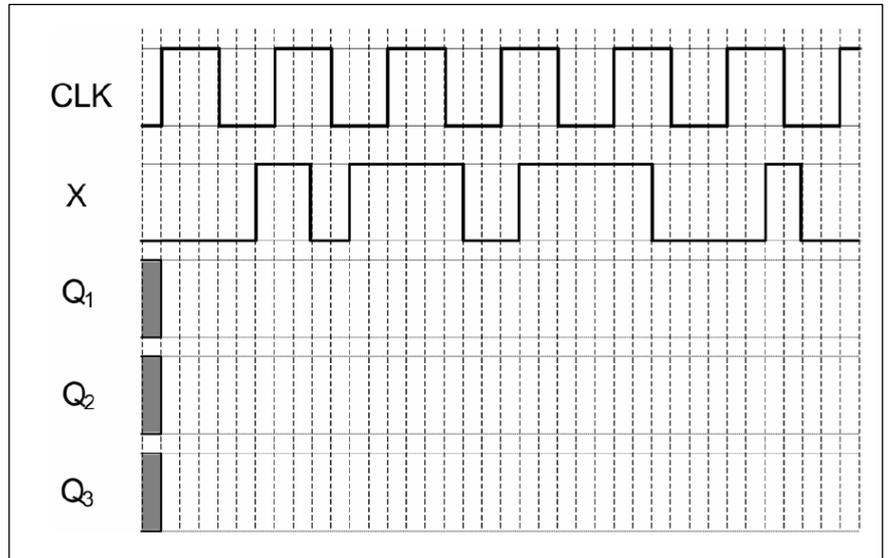
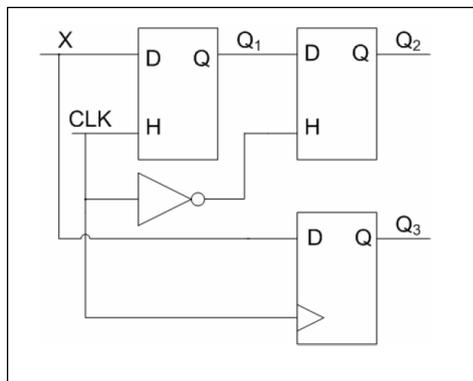
.....

.....

Exercice 2 (6 points)

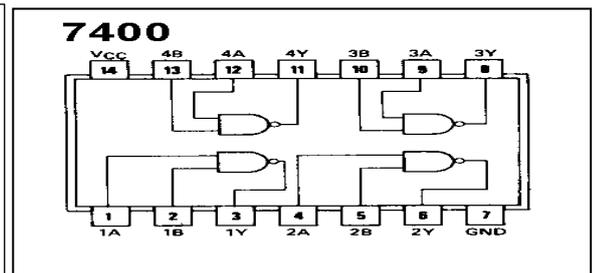
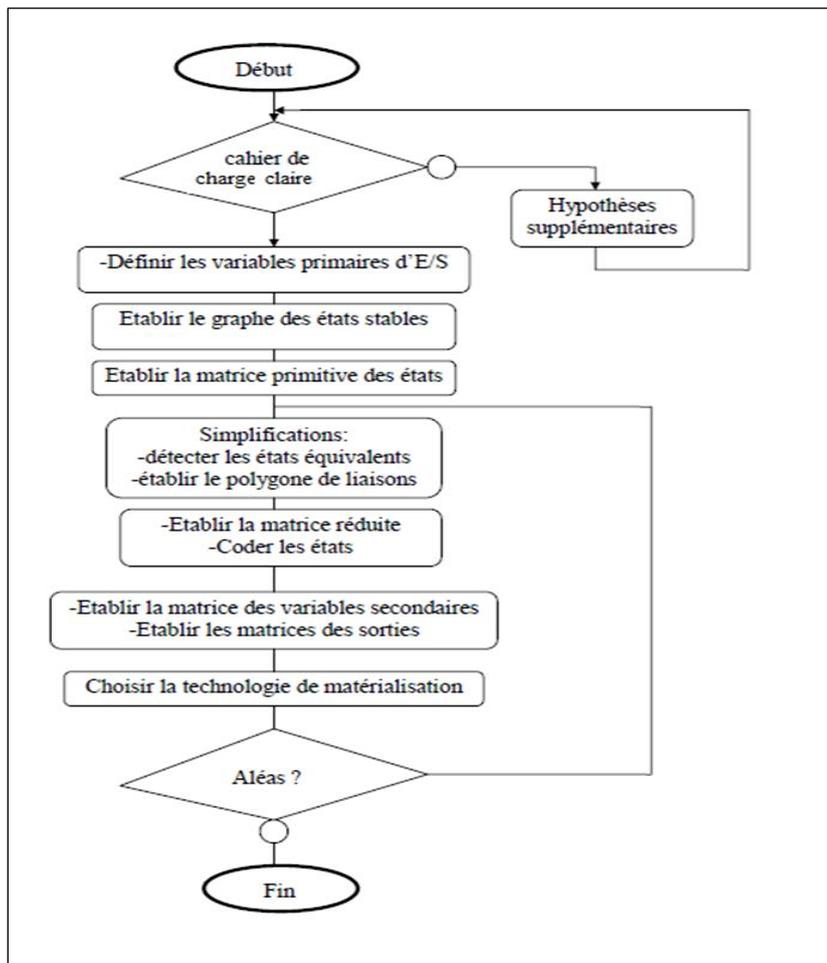
Considérons le circuit suivant où Q1, Q2 sont les sorties de deux bistables D mises en cascade et Q3 celle d'une bascule D.

Compléter le chronogramme suivant :



Annexes

Méthode de Huffman :



Brochage du circuit 7400

EXAMEN JUIN 2016

Exercice 1 (4 points [2, 2])

- 1) Compléter le chronogramme ci-dessous correspondant à la sortie Q_1 de la bascule JK synchronisée sur front montant de la figure 1a:
- 2) Compléter le chronogramme de la figure 1b pour la sortie Q_2 de la bascule D ci-dessous synchronisée sur front descendant ?

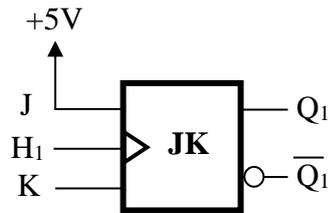


Figure 1a

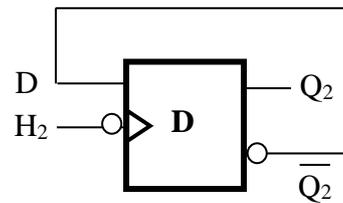
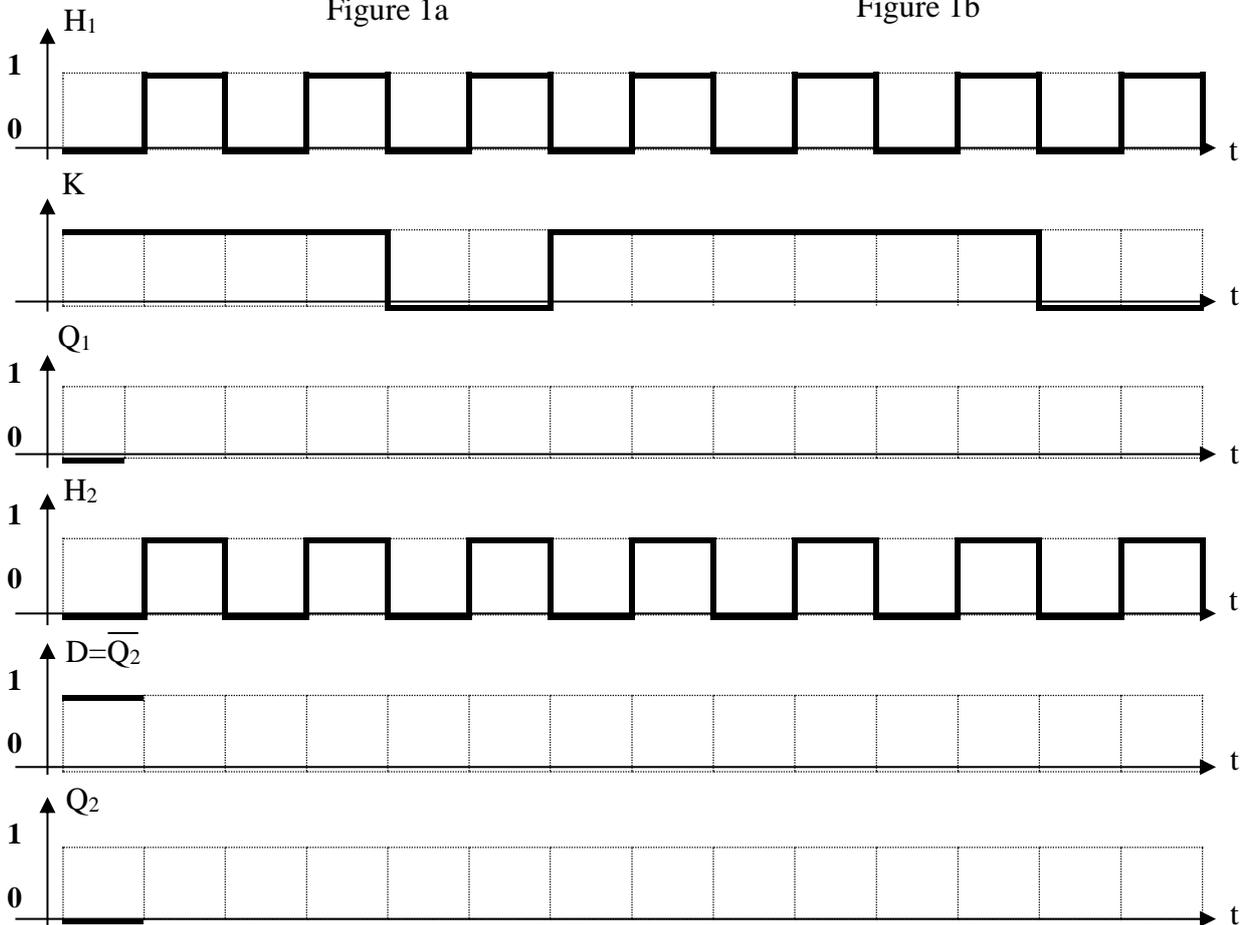


Figure 1b



Exercice 2 (7,5 points [1, 0,5, 1, 1, 2, 2])

Pendant qu'il étudie le schéma d'une pièce d'appareil, un technicien rencontre un circuit intégré qu'il ne connaît pas. Dans des tels cas il est souvent indispensable de consulter les fiches techniques du fabricant pour connaître les spécifications de l'élément.

Le problème que voici vise à vous exercer à trouver les renseignements nécessaires au sujet du circuit intégré **74164** (voir annexe page 4).

Consulter les fiches techniques et répondre aux questions suivantes :

- 1) Sur quel niveau est activée l'entrée CLR ?
.....
- 2) Quel est le type de bascules qu'il utilise ?
.....
- 3) Sur quel niveau sont synchronisées les bascules en déduire le niveau de synchronisation du circuit.
.....
- 4) Donner le nom complet de ce circuit,
.....
- 5) Supposer vraies les conditions suivantes : $\overline{CLR}=1$, $AB=11$.Compléter le tableau ci-dessous :

CLOCK	Q _A	Q _B	Q _C	Q _D	Q _E	Q _F	Q _G	Q _H
0	0	0	1	1	1	1	0	0
1↓								
2↓								
3↓								
4↓								
5↓								
6↓								

- 6) On change les entrées \overline{CLR} , A et B comme suit : $\overline{CLR}=1$, $AB=00$, Compléter le tableau ci-dessous :

CLOCK	Q _A	Q _B	Q _C	Q _D	Q _E	Q _F	Q _G	Q _H
0	0	0	1	1	1	1	0	0
1↓								
2↓								
3↓								
4↓								
5↓								
6↓								

T₂=.....

T₁ =

T₀=

DS AVRIL 2017

Exercice 1 (6 points)

Soit la figure suivante celle d'une bascule bistable :

- a. Comment désigne-t-on cette bascule ? est-elle synchrone ou asynchrone ? Justifier.

.....

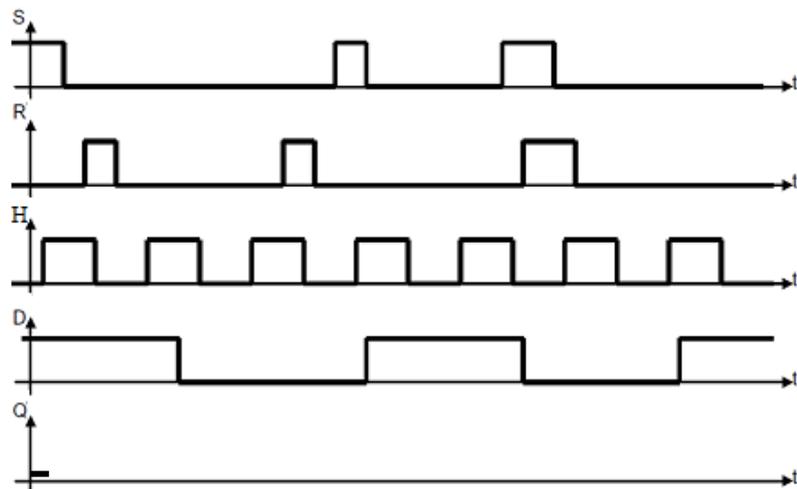
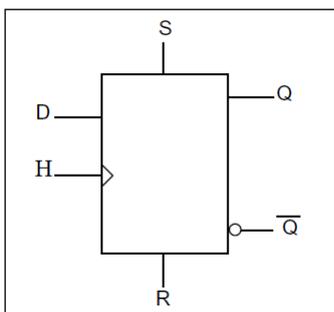
- b. Si cette bascule est synchrone, selon quel type de synchronisation travaillera-t-elle ?

.....

- c. Préciser le type d'entrées S et R et leurs rôles ?

.....

- d. Pour cette bascule, compléter le chronogramme suivant.

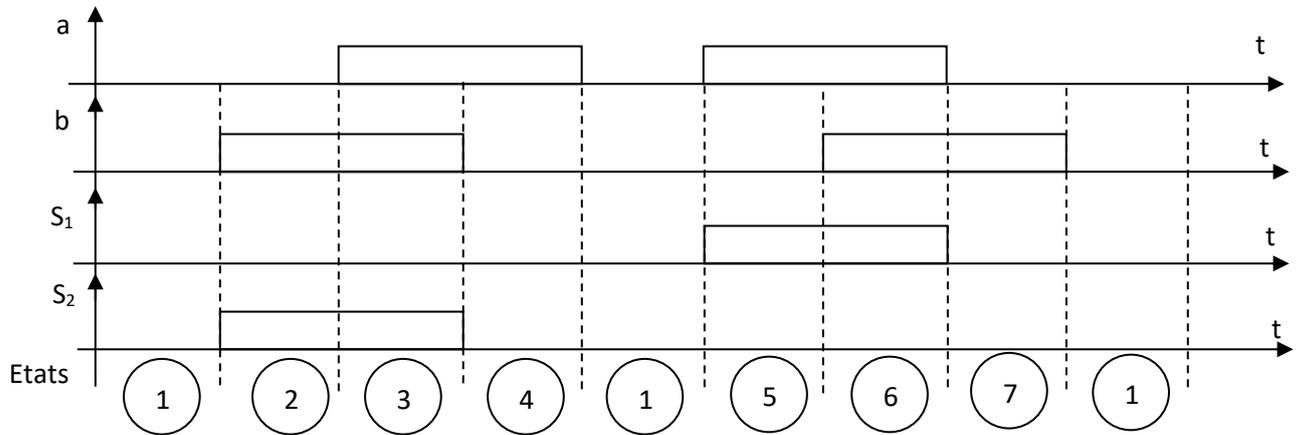


Exercice 2 (14 points)

Synthèse des systèmes logiques séquentiels asynchrones par la méthode de Huffman :

A. Cahier de charges :

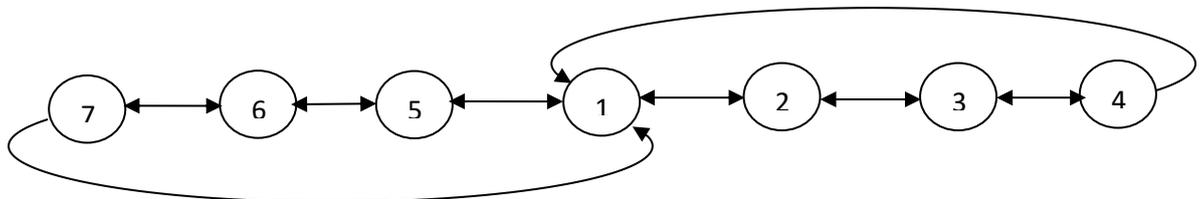
Soit le système séquentiel décrit par le chronogramme suivant:



B. Travail demandé :

Document Réponse

1) Compléter graphe des états stables suivant. :



2) Matrice primitive :

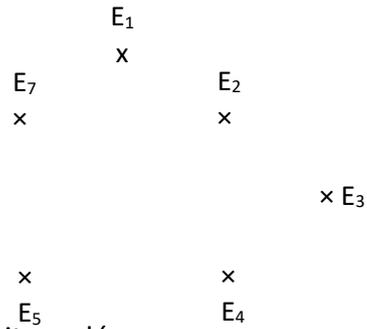
ab Etats	00	01	11	10	<i>S</i> ₁	<i>S</i> ₂
<i>E</i> ₁						
<i>E</i> ₂						
<i>E</i> ₃						
<i>E</i> ₄						
<i>E</i> ₅						
<i>E</i> ₆						
<i>E</i> ₇						

3) Simplification de la matrice primitive :

Polygone de liaison :

Etats stables équivalents :

.....



Groupements :

.....

4) Compléter la matrice réduite et la matrice réduite codées:

ab Etats	00	01	11	10
E ₁				
	-	-	-	-

ab	00	01	11	10
	-	-	-	-

5) Equations des excitations secondaires :

ab	00	01	11	10
	-	-	-	-

ab	00	01	11	10
	-	-	-	-

Equations :

.....

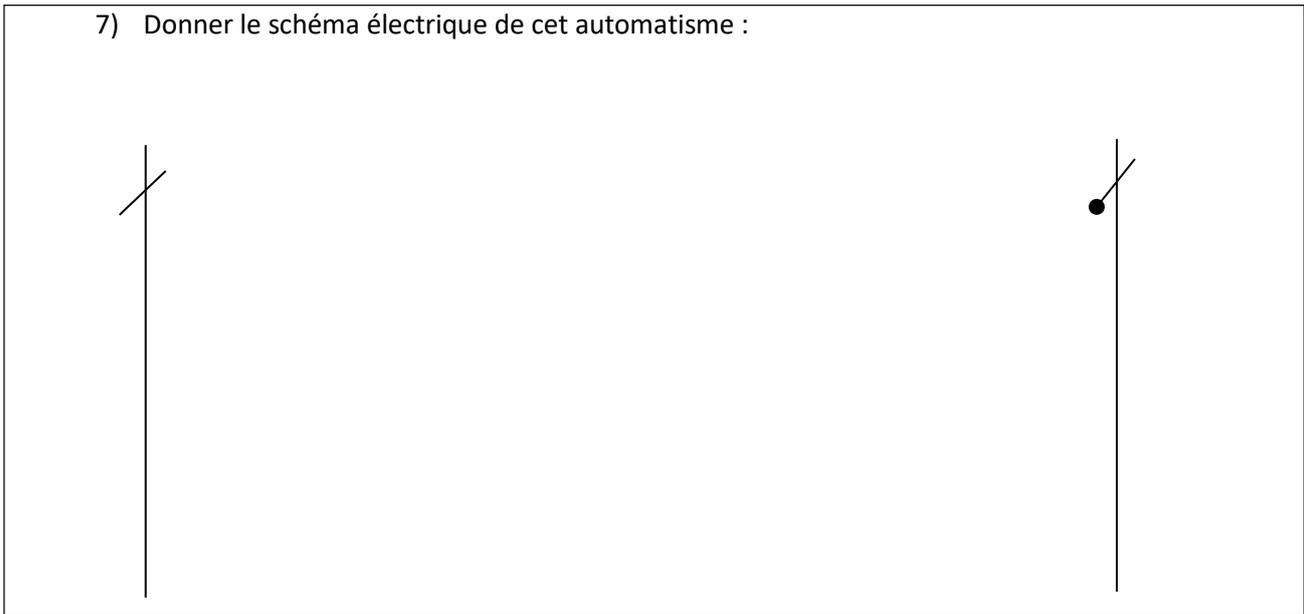
6) Equations des sorties S₁ et S₂ :

ab Etats	00	01	11	10
E ₁				
	-	-	-	-

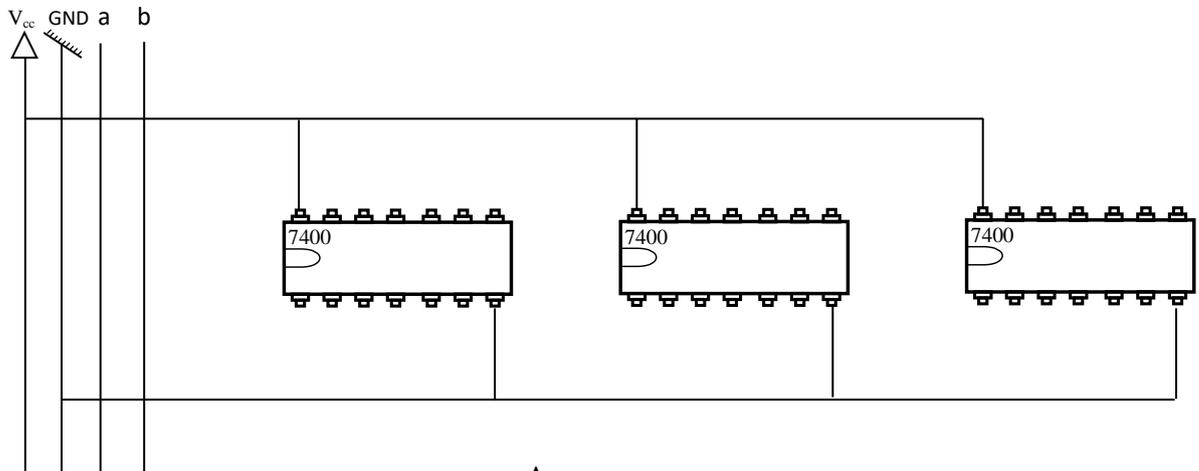
ab	00	01	11	10
	-	-	-	-

Equations :

.....

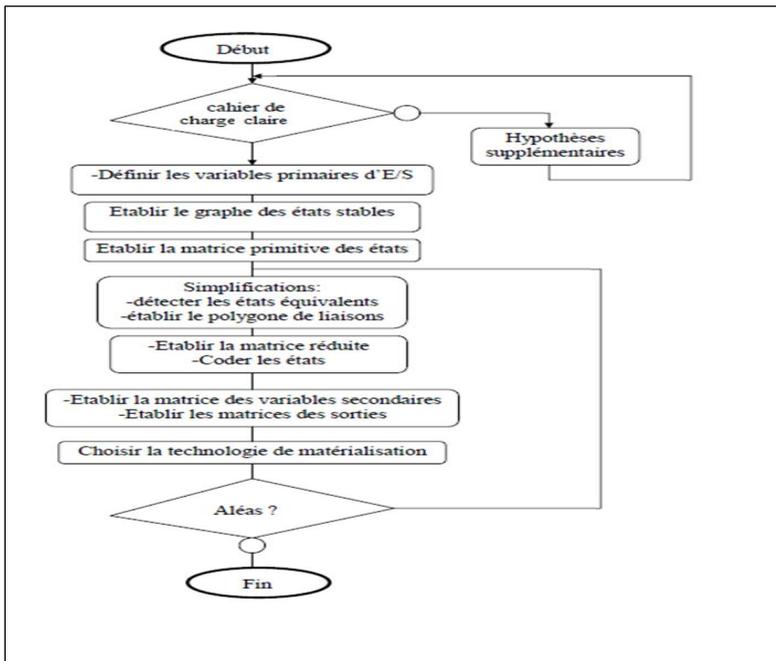


8) Compléter le schéma de câblage :

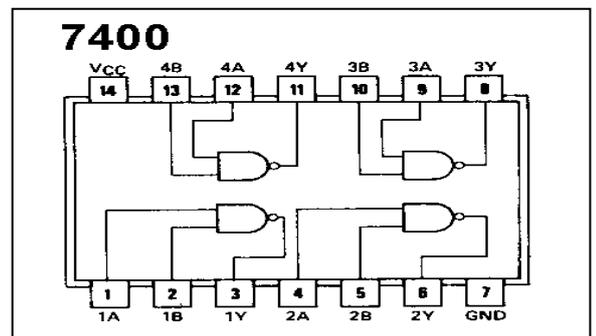


Annexes

Méthode de Huffman



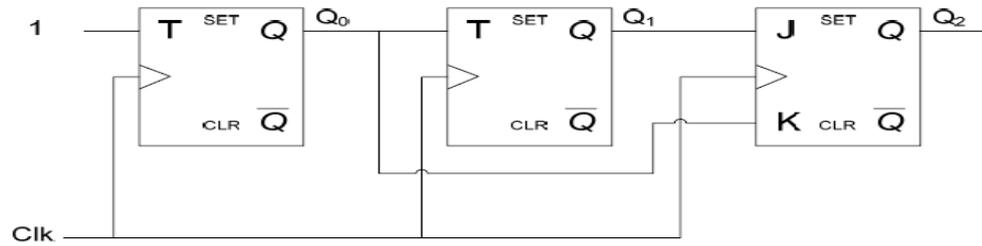
Brochage du circuit 7400



EXAMEN JUIN 2017

Exercice 1 (3.5 points [2 ; 1.5])

Considérons le circuit suivant composé de bascules:



3) a- Quels types de bascules utilise-t-on ?

.....

b- Le circuit est-il synchrone ou asynchrone ? Justifier

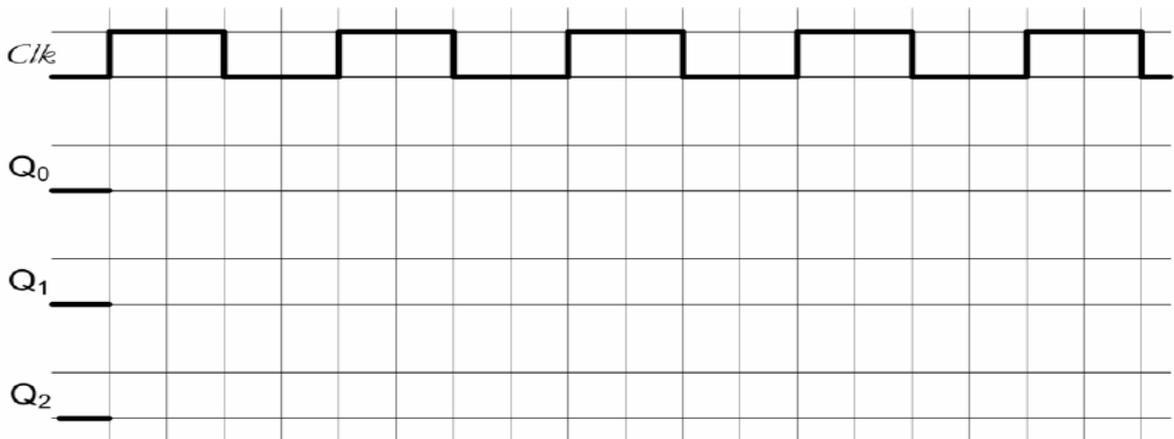
.....

c- Compléter le montage pour pouvoir remettre à zéro le circuit à l'aide d'un bouton « S »

d- Où peut-on récupérer un signal de fréquence $f_H/2$ (f_H : fréquence de l'horloge).

.....

4) Compléter le chronogramme suivant. Toutes les bascules sont initialisées à 0.



Exercice 2 (7.5 points [1; 4 ; 2.5])

Le document technique du circuit intégré **74169** est donné en annexes.

1) a- Quelle fonction assure-t-il ce circuit?

.....

b- Préciser le type de synchronisation des entrées horloges de ces bascules. En déduire celui du circuit.

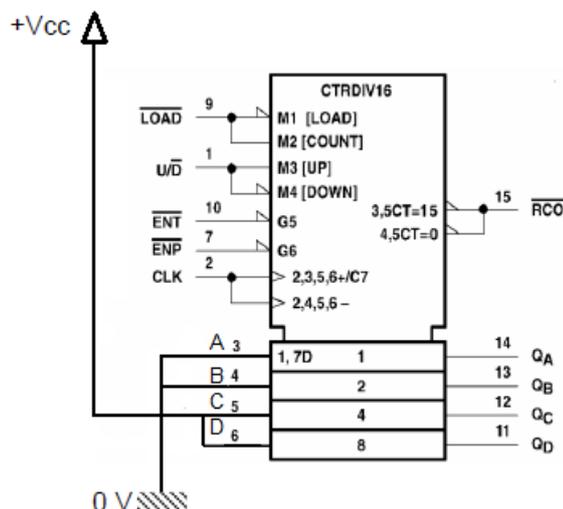
.....

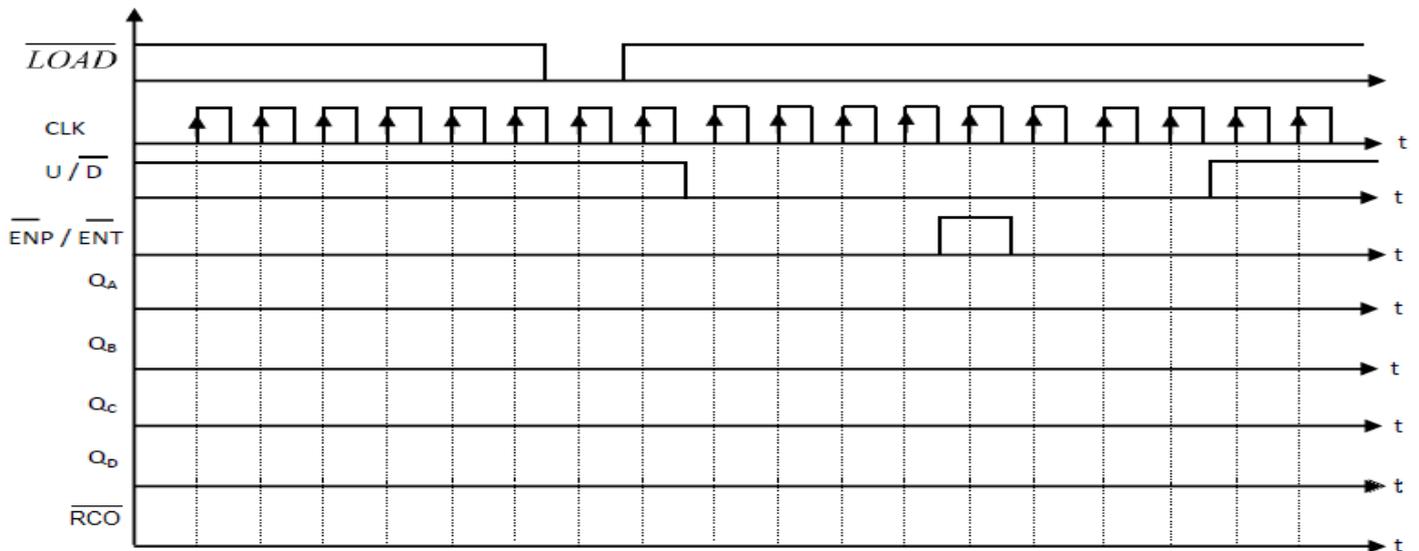
2) Compléter les tableaux suivants :

Référence : 74169				
Nom	Entrée ou Sortie ?	Synchrone ou prioritaire ?	Actif à quel état ou front ?	Action réalisée
\overline{LOAD}				
U/D^*				
\overline{ENT}				
\overline{ENP}				
CLK				
A, B, C, D				
\overline{RCO}				
QA, QB, QC, QD				

Table des modes de fonctionnement - Référence CI : 74169				
\overline{LOAD}	U/D	\overline{ENT}	\overline{ENP}	Mode de fonctionnement
0	X	0	0	
1	0	0	0	
1	1	0	0	
1	X	0	0	
X	X	1	1	

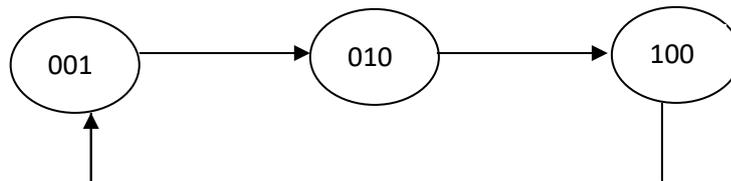
3) Le circuit **74169** est branché comme l'indique la figure suivante. En se référant au dossier technique du circuit intégré 74169, compléter les chronogrammes de ses sorties sachant qu'à l'état initial $QA=0$, $QB=0$, $QC=1$, $QD=1$.





Exercice 3 (9 points [3 ; 3 ; 3])

Un compteur de Johnson est un séquenceur synchrone dont les sorties passe successivement à 1, une seule sortie étant à 1 à un instant donnée. Le diagramme des transitions de compteur de Johnson 3 bit est le suivant :



1) Compléter la table de fonctionnement

Sorties						Entrées					
Instant t			Instant t+1			Instant t					
Q ₂	Q ₁	Q ₀	Q ₂	Q ₁	Q ₀	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀

2) Déterminer les équations des entrée J et K de chaque bascules :

Q1Q0	00	01	11	10
Q2				
0				
1				

$J_2 = \dots\dots\dots$

Q1Q0	00	01	11	10
Q2				
0				
1				

$J_1 = \dots\dots\dots$

Q1Q0	00	01	11	10
Q2				
0				
1				

$J_0 = \dots\dots\dots$

Q1Q0	00	01	11	10
Q2				
0				
1				

$K_2 = \dots\dots\dots$

Q1Q0	00	01	11	10
Q2				
0				
1				

$K_1 = \dots\dots\dots$

Q1Q0	00	01	11	10
Q2				
0				
1				

$K_0 = \dots\dots\dots$

3) Proposer un schéma du compteur

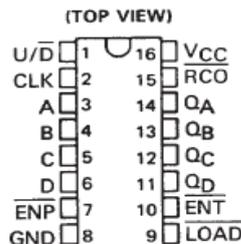
ANNEXES

SN54LS169B, SN54S169 SN74LS169B, SN74S169 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

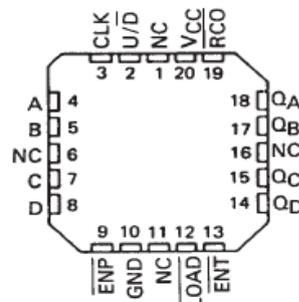
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

- Programmable Look-Ahead Up/Down Binary Counters
- Fully Synchronous Operation for Counting and Programming
- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Fully Independent Clock Circuit

SN54LS169B, SN54S169 . . . J OR W PACKAGE
SN74LS169B, SN74S169 . . . D OR N PACKAGE



SN54LS169B, SN54S169 . . . FK PACKAGE
(TOP VIEW)



NC-No internal connection

description

These synchronous presettable counters feature an internal carry look-ahead for cascading in high speed counting applications. The 'LS169B and 'S169 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation helps eliminate the output counting spikes that are normally associated with asynchronous (ripple-clock) counters. A buffered clock input triggers the four master-slave flip-flops on the rising (positive-going) edge of the clock waveform.

These counters are fully programmable; that is the outputs may each be preset to either level. The load input circuitry allows loading with the carry-enable output of cascaded counters. As loading is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the data inputs after the next clock pulse.

TYPE	TYPICAL MAXIMUM CLOCK FREQUENCY		TYPICAL POWER DISSIPATION
	COUNTING UP	COUNTING DOWN	
'LS169B	35MHz	35MHz	100mW
'S169	70MHz	55MHz	500mW

The carry look-ahead circuitry provides for cascading counters for n-bit synchronous applications without additional gating. Instrumental in accomplishing this function are two count-enable inputs and a carry output. Both count enable inputs (ENP, ENT) must be low to count. The direction of the count is determined by the level of the up/down input. When the input is high, the counter counts up; when low, it counts down. Input ENT is fed forward to enable the carry output. The carry output thus enabled will produce a low-level output pulse with a duration approximately equal to the high portion of the QA output when counting up and approximately equal to the low portion of the QA output when counting down. This low-level overflow carry pulse can be used to enable successive cascaded stages. Transitions at the ENP or ENT inputs are allowed regardless of the level of the clock input. All inputs are diode-clamped to minimize transmission-line effects, thereby simplifying system design.

These counters feature a fully independent clock circuit. Changes at control inputs (ENP, ENT, LOAD, U/D) that will modify the operating mode have no effect until clocking occurs. The function of the counter (whether enabled, disabled, loading, or counting) will be dictated solely by the conditions meeting the stable setup and hold times.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



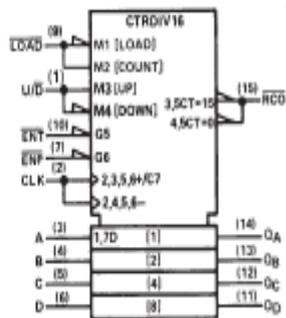
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54LS169B, SN54S169 SN74LS169B, SN74S169 SYNCHRONOUS 4-BIT UP/DOWN BINARY COUNTERS

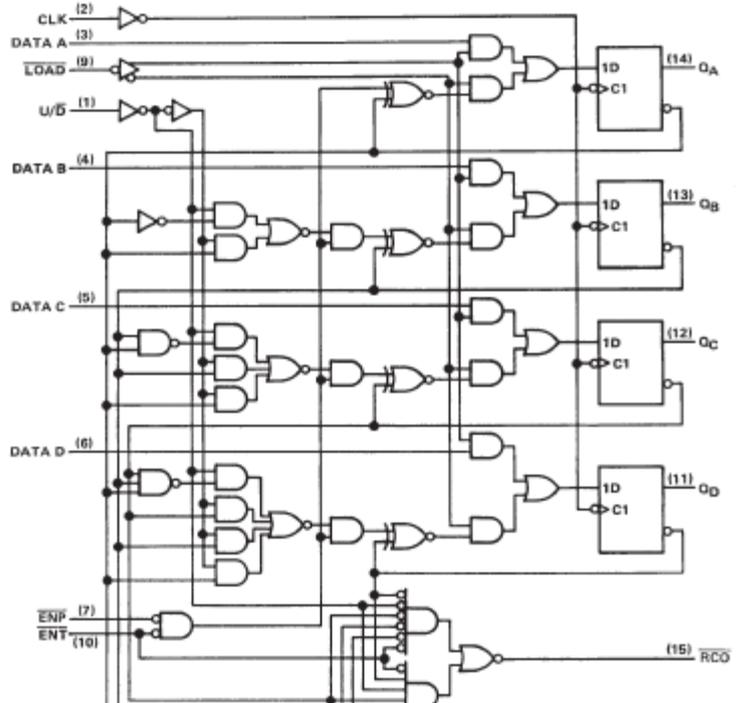
SDLS134 – OCTOBER 1976 – REVISED MARCH 1988

logic symbol†



†This symbol is in accordance with ANSI/IEEE Std. 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

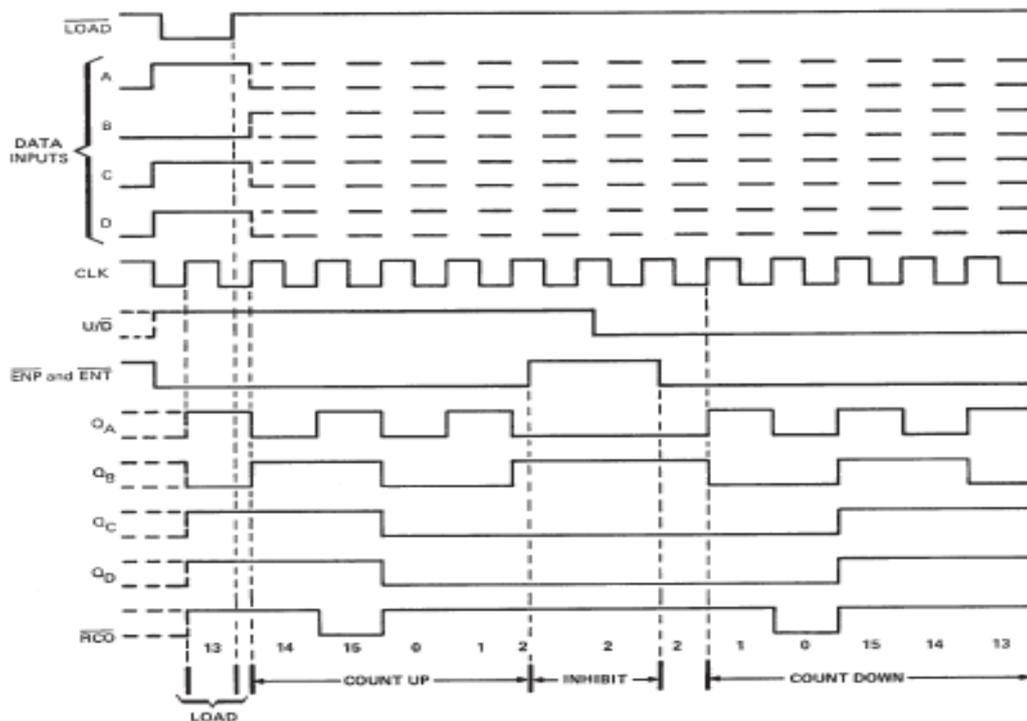
logic diagram (positive logic)



typical load, count, and inhibit sequences

Illustrated below is the following sequence:

1. Load (preset) to binary thirteen.
2. Count up to fourteen, fifteen (maximum), zero, one, and two.
3. Inhibit
4. Count down to one, zero (minimum), fifteen, fourteen, and thirteen.



Exercice 3 (8.5 points [1.5, 3, 1.5, 1, 1.5])

Etant donnée le tableau de comptage ci-dessous correspondant à un compteur synchrone qu'on veut réaliser à l'aide des bascules T synchrones sur fronts montants de l'horloge,

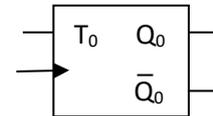
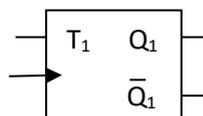
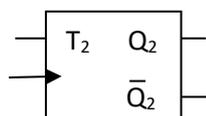
Horloge	Sorties		
	Q ₂	Q ₁	Q ₀
0	0	0	0
1	1	0	1
2	0	1	1
3	1	0	0
4	1	1	1
5	0	1	0
6	0	0	0

- 1) Compléter la table de comptage sur laquelle est indiquée, l'évolution des sorties Q_i aux instants t_n et t_{n+1} (avant et après le signal d'horloge), et les transitions qu'effectuent les différentes bascules.

Horloge	Sorties à l'instant t _n			Sorties à l'instant t _{n+1}			Transitions		
	Q _{2n}	Q _{1n}	Q _{0n}	Q _{2n+1}	Q _{1n+1}	Q _{0n+1}	Q ₂	Q ₁	Q ₀
0	0	0	0	1	0	1	ε	μ ₀	ε
1									
2									
3									
4									
5									
6									

- 2) Etablir les tableaux de Karnaugh, puis en déduire les équations de T₂, T₁ et T₀,

- 3) Compléter le schéma logique du compteur,



- 4) Si initialement, ce compteur se trouve à $(Q_2 Q_1 Q_0)=001$ ou 110 , comment évolue-t-il après le front de l'horloge ? Ce compteur est-il donc autocorrectif ? comment résoudre ce problème ?

.....

- 5) En utilisant le résultat de la 1^{ère} question, donner le schéma de câblage du compteur faisant le comptage selon le tableau suivant :

Horloge	Sorties			
	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	1	0	1
2	0	0	1	1
3	0	1	0	0
4	1	1	1	1
5	0	0	1	0
6	0	0	0	0